

Docket No. 1614.1104/HIS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Hideo MIYAKE et al.

Group Art Unit:

Serial No.:

Examiner:

Filed: December 15, 2000

For: PROCESSOR AND METHOD OF CONTROLLING THE SAME

**SUBMISSION OF CERTIFIED COPY OF PRIOR
FOREIGN APPLICATION IN ACCORDANCE WITH
THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application(s):

Japanese Patent Application No. 11-359837
Filed: December 17, 1999
Japanese Patent Application No. 2000-043441
Filed: February 21, 2000
Japanese Patent Application No. 2000-067789
Filed March 10, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date, as evidenced by the certified papers attached hereto, in accordance with the requirements
of 35 U.S.C. § 119.

Respectfully submitted,
STAAS & HALSEY LLP

Date: December 15, 2000

By: 

H. J. Staas
Registration No. 22,010

700 Eleventh Street, N.W., Suite 500
Washington, D.C. 20001
Telephone: (202) 434-1500
Facsimile: (202) 434-1501



CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC882 U.S. PTO
09/736357
12/15/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 2 月 1 7 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 5 9 8 3 7 号

出 願 人

Applicant(s):

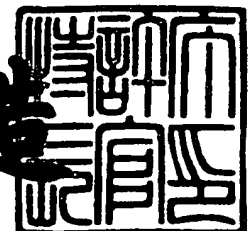
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 0 年 1 0 月 2 0 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 8 6 2 7 4

【書類名】 特許願

【整理番号】 9940884

【提出日】 平成11年12月17日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 9/312

【発明の名称】 計算機とその制御方法

【請求項の数】 6

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 三宅 英雄

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 須賀 敦浩

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 中村 泰基

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【郵便番号】 150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 計算機とその制御方法

【特許請求の範囲】

【請求項 1】 プログラムされた命令の実行順序を変更する計算機の制御方法であって、

前記プログラムにおいて第一の命令より後置された第二の命令を、前記第一の命令より先に実行する第一のステップと、

前記第一の命令の実行対象とされる第一データのアドレスが、前記第二の命令において実行対象とされたデータのアドレス領域に含まれるときには、前記第一の命令を実行することにより得られた結果を前記アドレスに対応するデータに上書きする第二のステップとを有することを特徴とする計算機の制御方法。

【請求項 2】 前記第一の命令は、記憶手段へ前記第一データを記憶させるストア命令であり、

前記第二の命令は、前記記憶手段から前記データを読み出すロード命令である請求項 1 に記載の計算機の制御方法。

【請求項 3】 前記第一のステップでは、前記第二の命令において実行対象とされたデータのアドレスと、前記第二の命令を実行することにより得られた結果を記憶する記憶手段を特定する情報とが記憶され、

前記第二のステップでは、前記アドレスと前記記憶手段を特定する情報とに応じて前記上書きを行う請求項 1 に記載の計算機の制御方法。

【請求項 4】 プログラムされた命令を実行する計算機であって、

前記プログラムにおいて第一の命令より後置された第二の命令を、前記第一の命令より先に実行した場合に、前記第二の命令を実行することにより得られた結果の保存先を記憶する保存先記憶手段と、

前記第一の命令の実行対象とされる第一データのアドレスが、前記第二の命令において実行対象とされた第二データのアドレス領域に含まれるか否かを判定する判定手段と、

前記判定手段において、前記アドレスが前記アドレス領域に含まれるものと判定されたときには、前記保存先記憶手段に記憶された前記保存先において、前記

第一の命令を実行することにより得られた結果を前記アドレスに対応する前記第二データに上書きするデータ回復手段とを備えたことを特徴とする計算機。

【請求項 5】 データを記憶する記憶手段をさらに備え、

前記第一の命令は、前記記憶手段へ前記第一データを記憶させるストア命令であり、

前記第二の命令は、前記記憶手段から前記第二データを読み出すロード命令である請求項 4 に記載の計算機。

【請求項 6】 データを記憶する複数の記憶手段をさらに備え、

前記保存先記憶手段は前記保存先として、前記第二の命令において実行対象とされた前記第二データのアドレス及び前記第二の命令を実行することにより得られた結果が格納される前記記憶手段を特定する情報を記憶する請求項 4 に記載の計算機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プログラムされた命令を実行する計算機とその制御方法に関するものである。

【0002】

【従来の技術】

図 1 は、汎用レジスタと浮動小数点レジスタとを有する従来の計算機の構成を示す図である。図 1 に示されるように、この計算機はメモリ 1 と、メモリ 1 に接続された命令読み出し部 3 と、メモリ 1 及び命令読み出し部 3 に接続された命令実行部 5 と、命令実行部 5 に接続されたレジスタ制御部 7 と、命令読み出し部 3 と命令実行部 5 及びレジスタ制御部 7 に接続された割り込み制御部 9 とを備える。

【0003】

ここで、命令読み出し部 3 は命令読み出し制御部 11 と、プログラムカウンタ (PC) 13 と、命令語レジスタ (IR) 15 とを含む。そして、命令読み出し制御部 11 はメモリ 1 に接続され、プログラムカウンタ (PC) 13 は命令読み出し制御部 11 に接続される。さらに、命令語レジスタ (IR) 15 は命令読み

出し制御部 11 に接続される。

【0004】

また、命令実行部 5 は命令デコード部 17 と、ロード命令実行部 19 と、ストア命令実行部 21 と、命令実行回路 23 と、浮動小数点 (F) ロード命令実行部 25 と、浮動小数点 (F) ストア命令実行部 27 と、浮動小数点 (F) 演算命令実行部 29 とを含む。

そして、命令デコード部 17 は命令語レジスタ 15 に接続され、ロード命令実行部 19 はメモリ 1 及び命令デコード部 17 に接続される。

【0005】

また、ストア命令実行部 21 は命令デコード部 17 及び後述する汎用レジスタ 37 に接続され、命令実行回路 23 は命令デコード部 17 と汎用レジスタ 37 及び後述するレジスタ 31, 33, 35 に接続される。また、浮動小数点ロード命令実行部 25 はメモリ 1 及び命令デコード部 17 に接続され、浮動小数点ストア命令実行部 27 及び浮動小数点演算命令実行部 29 は命令デコード部 17 及び後述する浮動少数点レジスタ 39 に接続される。

【0006】

一方、レジスタ制御部 7 はレジスタ (EPCR) 31 と、レジスタ (EPSR) 33 と、レジスタ (PSR) 35 と、汎用レジスタ 37 と、浮動小数点レジスタ 39 とを含む。ここで、レジスタ (EPCR) 31 とレジスタ (EPSR) 33 及びレジスタ (PSR) 35 は、さらに割込制御部 40 に接続される。また、汎用レジスタ 37 はロード命令実行部 19 とストア命令実行部 21 及び命令実行回路 23 に接続される。また、浮動小数点レジスタ 39 は浮動小数点ロード命令実行部 25 と、浮動小数点ストア命令実行部 27 及び浮動小数点演算命令実行部 29 に接続される。

【0007】

また、割り込み制御部 9 は割込制御回路 40 を含む。そして、割込制御回路 40 は命令読出制御部 11 とプログラムカウンタ 13、ロード命令実行部 19、ストア命令実行部 21、命令実行回路 23、浮動小数点ロード命令実行部 25、浮動小数点ストア命令実行部 27 及び浮動小数点演算命令実行部 29 などに接続さ

れる。

【0008】

上記のような構成を有する計算機において、命令読み出し部3はプログラムカウンタ13が示す命令語をメモリ1から読み出し、命令語レジスタ（IR）15を介して命令実行部15へ供給する。また命令読出制御部11は、命令実行部5あるいは割込処理を行う割込制御回路40より分岐先アドレスが供給された場合には、それをプログラムカウンタ13へ書き込む。なお命令読出制御部11は、それ以外の場合には次の命令語を命令実行部5へ供給するため、読み出すべき命令語のアドレスを示すプログラムカウンタ13をインクリメントする。また、命令語を読み出す際に割り込みを検出した場合には、割込制御回路40へ割込信号を供給する。

【0009】

また、命令デコード部17は、命令語レジスタ15から供給された命令をデコードし、ロード命令の場合にはロード命令実行部19へ、ストア命令の場合にはストア命令実行部21へ、浮動小数点ロード命令の場合には浮動小数点ロード命令実行部25へ、浮動小数点ストア命令の場合には浮動小数点ストア命令実行部27へ、浮動小数点演算命令の場合には浮動小数点演算命令実行部29へ、割込復帰命令やその他の命令の場合には命令実行回路23へそれぞれ供給する。

【0010】

また、ロード命令実行部19はロード命令が供給された場合には、図2に示されるように、汎用レジスタ37から読み出された値に基づいて求められた実効アドレスに対応するメモリ1の領域からデータを読み出し、その結果を汎用レジスタ37へ書き込む。ここでロード命令は、図3に示されるように、命令コードOP-CODEとレジスタを指定するコードGR1,GR2,GRDとを含む。そして、コードGR1が示すレジスタの値とコードGR2が示すレジスタの値を加算した結果がロード対象とするデータのアドレスを意味し、コードGRDは読み出した結果を保持するレジスタの番号を意味する。なお、ロード命令を実行する際に割り込みを検出した場合には、割込信号を割込制御回路40へ供給する。

【0011】

同様に、ストア命令実行部 2 1 はストア命令が供給された場合には、図 4 に示されるように、汎用レジスタ 3 7 から読み出された値に基づいて求められた実効アドレスに対応する汎用レジスタ 3 7 の領域からデータを読み出し、その結果を実効アドレスに対応するメモリ 1 の領域へ書き込む。ここでストア命令は、図 5 に示されるように、命令コード OP-CODE とレジスタを指定するコード GR1, GR2, GR S とを含む。そして、コード GR1 が示すレジスタの値とコード GR2 が示すレジスタの値を加算した結果がストア対象とするデータのアドレスを意味し、コード GR S は書き込む値を保持するレジスタの番号を意味する。なお、ストア命令を実行する際に割込みを検出した場合には、割込信号を割込制御回路 4 0 へ供給する。

【 0 0 1 2 】

また、浮動小数点ロード命令実行部 2 5 は、浮動小数点ロード命令が供給された場合には、汎用レジスタ 3 7 から読み出された値に基づいて求められた実効アドレスに対応するメモリ 1 の領域からデータを読み出し、その結果を浮動小数点レジスタ 3 9 へ書き込む。なお、浮動小数点ロード命令を実行する際に割込みを検出した場合には、割込信号を割込制御回路 4 0 へ供給する。

【 0 0 1 3 】

また、浮動小数点ストア命令実行部 2 7 は、浮動小数点ストア命令が供給された場合には、汎用レジスタ 3 7 から読み出された値に基づいて求められた実効アドレスに対応する浮動小数点レジスタ 3 9 の領域からデータを読み出し、その結果を実効アドレスに対応するメモリ 1 の領域へ書き込む。なお、浮動小数点ストア命令を実行する際に割込みを検出した場合には、割込信号を割込制御回路 4 0 へ供給する。また、浮動小数点演算命令実行部 2 9 は、浮動小数点演算命令が供給された場合には浮動小数点レジスタ 3 9 から読み出した値に基づき演算を実行し、その結果を浮動小数点レジスタ 3 9 へ書き込む。

【 0 0 1 4 】

また、命令実行回路 2 3 は、命令デコード部 1 7 から演算命令が供給された場合には汎用レジスタ 3 7 から読出した値に基づき演算を行い、その結果を汎用レジスタ 3 7 へ書き込む。また、命令デコード部 1 7 から分岐命令が供給された場合には、分岐成立時に分岐先アドレスをプログラムカウンタ 1 3 へ供給する。同

様に割込み復帰命令が供給された場合には、割込み発生前の動作状態を示すデータを P S R 3 5 へ書き込む。そしてこのとき、E P C R 3 1 から復帰先の命令のアドレスを読み出し、それを分岐先アドレスとしてプログラムカウンタ 1 3 へ供給する。なお、上記命令を実行する際に割込みを検出した場合には、割込信号を割込制御回路 4 0 へ供給する。

【0015】

また、E P C R 3 1 は割込みからの復帰先に該当する命令のアドレスを保持し、そのアドレスは割込み発生時に設定される。また、P S R 3 5 は動作状態 (state) を示すデータを保持し、E P S R 3 3 は割込み発生時に設定された割込み発生前の動作状態を示すデータを保持する。

また、割込制御回路 4 0 は命令読み出し部 3 あるいは命令実行部 5 から供給された割込信号に基づいて、割り込みからの復帰先に該当する命令のアドレスを E P C R 3 1 へ、割り込み発生前の動作状態を示すデータを E P S R 3 3 へ、発生した割り込みに対応する動作状態を示す P S R 3 5 へ書き込む。また、発生した割り込みに対応する分岐先アドレスを命令読み出し部 3 へ供給する。

【0016】

以下に、上記計算機の動作を要約すると、初期動作状態を通常の動作としたとき次のようになる。通常の動作においては、命令読み出し部 3 は、プログラムカウンタ 1 3 が示す命令語を読み出し、命令実行部 5 へ供給し、命令実行部 5 は供給された命令を実行する。

一方、割り込みが発生した時には、割込制御回路 4 0 は命令読み出し部 3 あるいは命令実行部 5 から供給された割込信号に基づいて、割り込みからの復帰先に該当する命令のアドレスを E P C R 3 1 へ、割り込み発生前の動作状態を示すデータを E P S R 3 3 へ、発生した割り込みに対応する動作状態を示す P S R 3 5 へ書き込む。また、発生した割り込みに対応する分岐先アドレスを命令読み出し部 3 へ供給する。また、命令読み出し部 3 は割込制御部 9 から供給された分岐先アドレスに応じて命令語を読み出し、命令実行部 5 へ供給する。そして、以降においては上記の通常の場合と同様に動作する。

【0017】

また、割り込みから復帰する時は、命令実行部 5 は割り込み復帰命令を実行することにより、E P S R 3 3 の値を P S R 3 5 へ書き込む。また、E P C R 3 1 に格納されたデータを読み出し、その結果を分岐先アドレスとして命令読み出し部 3 へ供給する。このとき命令読み出し部 3 は、命令実行部 5 から供給された分岐先アドレスに基づいて命令語を読み出し、命令実行部 5 へ供給する。そして、以降においては上記通常の動作がなされる。

【0018】

以上のような従来の計算機では、プログラムを構成する命令語の並列性を活用し、計算機の命令レベルでの処理能力を向上させる手法として、スーパースカラや投機的実行 (speculative execution) といった、同時に複数の命令を実行する制御方式が採られている。ここで、一般にこのような計算機では、複数の命令実行部を有し、プログラムに含まれる命令を順次実行するが、1 サイクルにおいて複数の命令がメモリから読み出され、また該命令相互の依存関係が考慮されつつ 1 サイクル中で複数の命令が発行されうる。

【0019】

また、この時命令の実行制御において、アウト・オブ・オーダー完了 (out-of-order completion) を採ることで、計算機の命令レベルでの処理能力をより向上させることができる。ここで、「アウト・オブ・オーダー完了」とは、プログラム上における命令の順序すなわち命令の発行順序と、命令の実行順序すなわち命令の完了順序とが異なることを意味する。そして、このような実行制御を行うことにより、命令実行部の有効稼働率を高め、プログラムの全体的な実行時間の短縮が図られている。なお、アウト・オブ・オーダー完了において、プログラムが生成された時の命令の順序を保証するためには、データ依存関係や制御依存関係といった命令の依存関係が考慮されるが、これらの依存関係は命令語に記されている情報から抽出される。

【0020】

一方、メモリ 1 に対する操作に注目すると、メモリ 1 からのロード操作では、メモリ 1 からデータを読み出しその結果を計算機のレジスタに書き込む。そして、その後その読み出したデータに依存する一連の操作が開始される。従って、メ

メモリ 1 からのロード操作をより早期に開始することにより、キャッシュミスなどによるメモリ 1 へのアクセスの遅延が計算機全体の動作に対して与える影響が少なくされる。

【0021】

このような理由により、プログラムを作成する際には、上記ロード操作を早期に開始すべくロード命令をプログラム上でより前に配置することが考えられる。そして、このように配置すれば、プログラム上での本来の位置より前に該ロード命令を移動させることと等価な効果が得られる。この時、メモリ 1 へのストア操作の前に上記ロード操作を実行する場合において、両操作対象とするデータのアドレス領域が全く重複していないときには操作順序を変更しないときと同じデータ処理がなされるが、アドレス領域の少なくとも一部が重複しているときにはデータ処理の結果が相違する。

【0022】

すなわち、本来は上記ストア操作によりメモリ 1 へストアされたストアデータが上記ロード操作により読み出されるところ、このロード操作がストア操作より先に実行されると該ロード操作により該ストア前の旧データが読み出されることとなり操作順序の変更に伴ってなされる処理が相違するという問題が生じる。なお、この問題は曖昧なメモリ参照として知られている。

【0023】

従って、従来においてはこのような問題を回避するため、メモリ 1 へのストア操作の前にメモリ 1 へのロード操作を実行することはできなかった。

【0024】

【発明が解決しようとする課題】

本発明は、上述の問題点を解消するためになされたものであり、曖昧なメモリ参照を回避しつつストア操作の前にロード操作を実行し動作の高速化が図られた計算機とその制御方法を提供することを目的とする。

【0025】

【課題を解決するための手段】

上記の目的は、プログラムされた命令の実行順序を変更する計算機の制御方法

であって、プログラムにおいて第一の命令より後置された第二の命令を、第一の命令より先に実行する第一のステップと、第一の命令の実行対象とされる第一データのアドレスが、第二の命令において実行対象とされたデータのアドレス領域に含まれるときには、第一の命令を実行することにより得られた結果をアドレスに対応するデータに上書きする第二のステップとを有することを特徴とする計算機の制御方法を提供することにより達成される。このような手段によれば、命令の実行順序を変更したことによるデータ処理の乱れを是正することができる。

【0026】

ここで、第一の命令を記憶手段へ第一データを記憶させるストア命令とし、第二の命令を記憶手段からデータを読み出すロード命令とすれば、ロード命令を先に実行することによりデータ処理の高速化を図ることができる。

また、第一のステップでは、第二の命令において実行対象とされたデータのアドレスと、第二の命令を実行することにより得られた結果を記憶する記憶手段を特定する情報とが記憶され、第二のステップでは、上記アドレスと記憶手段を特定する情報とに応じて上書きを行うことができる。

【0027】

また、本発明の目的は、プログラムされた命令を実行する計算機であって、プログラムにおいて第一の命令より後置された第二の命令を、第一の命令より先に実行した場合に、第二の命令を実行することにより得られた結果の保存先を記憶する保存先記憶手段と、第一の命令の実行対象とされる第一データのアドレスが、第二の命令において実行対象とされた第二データのアドレス領域に含まれるか否かを判定する判定手段と、判定手段において、アドレスがアドレス領域に含まれるものと判定されたときには、保存先記憶手段に記憶された保存先において、第一の命令を実行することにより得られた結果をアドレスに対応する第二データに上書きするデータ回復手段とを備えたことを特徴とする計算機を提供することにより達成される。ここで、データを記憶する記憶手段をさらに備え、第一の命令は、記憶手段へ第一データを記憶させるストア命令であり、第二の命令は、記憶手段から第二データを読み出すロード命令であることができる。

【0028】

また、データを記憶する複数の記憶手段をさらに備え、保存先記憶手段は保存先として、第二の命令において実行対象とされた第二データのアドレス及び第二の命令を実行することにより得られた結果が格納される記憶手段を特定する情報を記憶するものとすることができる。

【0029】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一又は相当部分を示す。

本発明の実施の形態に係る計算機はプログラムされた命令を実行する計算機であるが、データ処理の高速化を図るためロード命令をストア命令より先に実行するようコンパイラによりいわゆる静的順序変更を施すと共に、該順序の変更に伴うデータ処理の乱れを事後的に是正するものである。以下において、より詳しく説明する。

【実施の形態1】

図6は、本発明の実施の形態1に係る計算機の構成を示す図である。図6に示されるように、本実施の形態に係る計算機は、図1に示された従来の計算機に対して履歴制御部51をさらに備え、命令実行部41には投機的ロード命令実行部43、干渉回復ストア命令実行部45、ロード履歴リセット部47が含まれる点で相違する。

【0030】

ここで投機的ロード命令実行部43は、入力端がデコード部42とメモリ1に接続され、出力端が汎用レジスタ37と投機的ロード操作履歴制御部51及び割込制御回路55に接続される。また、干渉回復ストア命令実行部45は、入力端がデコード部42と汎用レジスタ37及び履歴制御部51に接続され、出力端がメモリ1と汎用レジスタ37と履歴制御部51及び割込制御回路55に接続される。そして、ロード履歴リセット部47は入力端がデコード部42に接続され、出力端が履歴制御部51に接続される。

【0031】

図8は投機的ロード命令による動作を示すフローチャートである。まず上記投

機能的ロード命令実行部43は、デコード部42から投機的ロード命令が供給された場合に、汎用レジスタ37から読み出した値から実効アドレスを求める。そして、図8に示されるように、ステップS1において該実効アドレスに対応するメモリ1内の領域からデータを読み出し、それを汎用レジスタ37へ書き込む。次に、投機的ロード命令実行部43は、ステップS2において投機的ロード命令を実行したことを登録するための登録信号ADDを履歴制御部51へ供給し、履歴制御部51はロード操作履歴テーブルにロード操作の履歴を登録する。なお、図9に示されるように、投機的ロード命令の命令形式としては、図3に示されたロード命令の命令形式と同様な形式が採用される。また、投機的ロード命令実行部43は、上記投機的ロード命令を実行する際に割込みを検出した場合には、割込制御回路55へ割込信号を供給する。

【0032】

また、図10は干渉回復ストア命令による動作を示すフローチャートである。

まず干渉回復ストア命令実行部45は、デコード部42から干渉回復ストア命令が供給された場合に、汎用レジスタ37から読み出した値から実効アドレスを求め、同時に確認信号CCを履歴制御部51へ供給する。そしてステップS1において、履歴制御部51は供給された確認信号CCに応じて、ストア操作及び投機的ロード操作履歴テーブルに登録されている投機的ロード操作の対象とされる両アドレス領域が干渉（重複）しているか否かを確認する。

【0033】

次に、ステップS2において上記干渉の有無が判断され、干渉していないと判断された場合には、ステップS3へ進み、汎用レジスタ37から読み出したデータを該実効アドレスに対応するメモリ1内の領域へ書き込む。一方、ステップS2において干渉していると判断された場合にはステップS10へ進み、ロード操作履歴テーブルを参照して上記投機的ロード操作において格納先とされたロード対象レジスタへストアデータを上書きする。この後、ステップS3へ進み、汎用レジスタ37から読み出したデータを該実効アドレスに対応するメモリ1内の領域へ書き込む。

【0034】

なお、図 11 に示されるように、命令の命令形式としては、図 5 に示されたストア命令の命令形式と同様な形式が採用される。また、干渉回復ストア命令実行部 45 は、上記干渉回復ストア命令を実行する際に割込みを検出した場合には、割込制御回路 55 へ割込信号を供給する。

また、図 12 は投機的ロード操作履歴無効化命令による動作を示すフローチャートである。図 12 に示されるように、ロード履歴リセット部 47 はデコード部 42 から投機的ロード操作履歴無効化命令が供給されたとき、履歴制御部 51 へリセット信号 RS を供給することによって投機的ロード操作履歴テーブルの全エントリを無効化する。なお、図 13 に示されるように、投機的ロード操作履歴無効化命令の命令形式は命令コード OP-CODE だけからなるものとされる。

【0035】

図 7 は、図 6 に示された履歴制御部 51 の構成を示す図である。図 7 に示されるように、履歴制御部 51 は、アドレスレジスタ 57 と、データタイプレジスタ 59 と、レジスタ番号レジスタ 61 と、ストアデータレジスタ 63 と、デコード回路 65 と、比較器 67～69 と、E フィールド (E) 70, 74, 78 と、アドレスフィールド (ADDR) 71, 75, 79 と、データタイプフィールド (DT) 72, 76, 80 と、レジスタ番号フィールド (REG #) 73, 77, 81 と、オーバラップ判定部 83 と、オーバラップエントリ検出部 85 と、無効エントリ検出部 87 と、投機的ロード操作履歴リセット制御部 89 と、投機的ロード操作履歴登録制御部 91 と、投機的ロード操作履歴干渉確認制御部 93 とを含む。

【0036】

ここで、アドレスレジスタ 57 と、データタイプレジスタ 59 と、レジスタ番号レジスタ 61 と、ストアデータレジスタ 63 及びデコード回路 65 は命令実行部 41 に接続される。そして、アドレスレジスタ 57 は、投機的ロード命令や干渉回復ストア命令が実行される際の実効アドレスを保持する。また、データタイプレジスタ 59 は、投機的ロード命令や干渉回復ストア命令の実行においてロードストア対象とされるデータの型 (大きさ) を示す識別値を保持する。そして、レジスタ番号レジスタ 61 は、投機的ロード命令や干渉回復ストア命令の実行におけるロードストア操作対象のレジスタ番号を保持する。

【0037】

また、ストアデータレジスタ63は、干渉回復ストア命令による書き込み値（ストアデータ）を保持する。また、デコード回路65は命令実行部41から供給された信号を解析し、対応する制御部を起動する。すなわち、登録信号ADDが供給された場合には投機的ロード操作履歴登録制御部91を起動し、確認信号CCが供給された場合には投機的ロード操作履歴干渉確認制御部93を起動し、リセット信号RSが供給された場合には投機的ロード操作履歴リセット制御部89を起動する。

【0038】

一方、比較器67～69はアドレスレジスタ57及びデータタイプレジスタ59と対応するエントリに接続される。ここで、上記投機的ロード操作履歴テーブルは並設された複数のエントリからなり、各エントリは有効性を示すEフィールド（E）70、74、78と、登録されている投機的ロード操作の実効アドレスを示すアドレスフィールド（ADDR）71、75、79と、登録されている投機的ロード操作の対象とされるデータの型を示すデータタイプフィールド（DT）72、76、80と、登録されている投機的ロード操作においてロード対象とされるレジスタの番号を示すレジスタ番号フィールド（REG #）73、77、81とを含む。なお、上記データタイプフィールド（DT）72、76、80にはデータの型に応じた識別値が記録され、該識別値は例えば符号無しバイトに対して0、符号付きバイトに対しては1、符号無しハーフワードには2、符号付きハーフワードには3、ワードには4、ダブルワードには5、クワッドワードには6とされる。

【0039】

そして、上記比較器67～69は、Eフィールドが1である有効なエントリに対して、アドレスフィールド（ADDR）71、75、79やデータタイプフィールド（DT）72、76、80から求まるロード対象データのアドレス領域と、アドレスレジスタ57やデータタイプレジスタ59から求まるストア対象データのアドレス領域とを比較し両者が干渉（重複）しているか否かを示す信号を出力する。

【0040】

また、オーバーラップ判定部 83 は比較器 67～69 に接続され、比較器 67～69 から供給された信号に応じて、投機的ロード操作履歴として登録されている投機的ロード操作の対象とされたアドレス領域と、干渉回復ストア命令によるストア操作の対象とされたアドレス領域とが干渉するか否かを判定し、干渉すると判定された場合にはオーバーラップ信号 OL を出力する。そして、オーバーラップエントリ検出部 85 は、比較器 67～69 に接続され、比較器 67～69 から供給された信号に応じて、投機的ロード操作の対象とされ干渉しているエントリの番号を検出する。

【0041】

また、無効エントリ検出部 87 は、各エントリの E フィールド 70, 74, 78 の情報に応じて、先になされた投機的ロード操作における空きエントリ（無効なエントリ）の検出を行う。また、投機的ロード操作履歴リセット制御部 89 はデコード回路 65 に接続され、各エントリの E フィールド 70, 74, 78 が 0 の値にリセットされる。

【0042】

また、投機的ロード操作履歴登録制御部 91 は、アドレスレジスタ 57 とデータタイプレジスタ 59、レジスタ番号レジスタ 61、デコード回路 65 及び無効エントリ検出部 87 に接続され、供給された登録信号 ADD に応じて、無効エントリ検出部 87 で検出された空きエントリのアドレスフィールド (ADDR) 71, 75, 79 とデータタイプフィールド (DT) 72, 76, 80 と、レジスタ番号フィールド (REG #) 73, 77, 81 とに投機的ロード操作に対応する情報を書き込む。なおこのとき、該情報を書き込んだエントリの E フィールド 70, 74, 78 には、該エントリが有効であることを示す 1 の値が書込まれる。

【0043】

また、投機的ロード操作履歴干渉確認制御部 93 はアドレスレジスタ 57 とデータタイプレジスタ 59、レジスタ番号レジスタ 61、ストアデータレジスタ 63、オーバーラップ判定部 83、オーバーラップエントリ検出部 85、デコード回路 65 及び汎用レジスタ 37 に接続され、さらにレジスタ番号フィールド (REG #

) 73, 77, 81の情報が供給される。そして、投機的ロード操作履歴干渉確認制御部93は、オーバラップ判定部83において干渉していると判定された場合、先にロードされた該データが格納されているレジスタへ、ストア操作による書き込み値(ストアデータ)を書き込む。なお、上記レジスタへ実際に書き込まれる値は、ストアデータに対しデータタイプフィールド(DT) 72, 76, 80の情報に基づいて符号拡張や零拡張といった処理を施した値とされる。

【0044】

次に、上記の計算機における動作を要約して説明する。なお、初期状態は通常動作を行う。まず、該通常動作においては命令読み出し部3は、プログラムカウンタ(PC) 13が示す命令語を読み出し、命令実行部41へ供給する。そして、命令実行部41は供給された命令を実行するが、投機的ロード命令が供給された場合には、履歴制御部51へ該ロード操作の履歴を追加的に登録する。

【0045】

一方、干渉回復ストア命令が供給された場合には、該ストア操作の対象とされるデータのアドレスが、先の投機的ロード操作の対象とされ履歴制御部51に既に登録されているデータのアドレス領域に対して干渉するものであるか否かを確認する。そして、干渉している場合には、干渉しているデータが既に格納されているレジスタへストアデータを書き込み、干渉していることによるデータの乱れを回復する。そして、通常動作においては、以上のような動作を繰り返す。

【0046】

また、割り込みが発生した場合には、命令読み出し部3又は命令実行部41から供給された割込信号に応じて、割込制御回路55は割り込みからの復帰先の命令語のアドレスをレジスタ31へ、割り込み発生前の動作状態をレジスタ33へ発生した割り込みに対応する動作状態をレジスタ35へ書き込む。また、発生した割り込みに対応する分岐先アドレスをプログラムカウンタ13へ供給する。ここで、命令読み出し部3は供給された分岐先アドレスに応じてメモリ1から命令語を読み出し、該命令語を命令実行部41へ供給する。そして、以降においては上記の通常動作と同様である。

【0047】

また、割り込みから復帰する場合には、命令実行部 4 1 は割り込み復帰命令を実行することによりレジスタ 3 3 に格納された値をレジスタ 3 5 へ書き込む。また、レジスタ 3 1 に格納された値を読み出し、分岐先アドレスとして命令読み出し部 3 へ供給する。ここで、命令読み出し部 3 は供給された分岐先アドレスに応じて命令語をメモリ 1 から読み出し、命令実行部 4 1 へ供給する。そして、以降においては上記の通常の動作と同様である。

【0 0 4 8】

以上より、本発明の実施の形態 1 に係る計算機によれば、先に実行された投機的ロード命令において操作対象とされたデータのアドレス領域と、後に実行する干渉回復ストア命令において操作対象とされるデータのアドレス領域とが干渉する場合には、該干渉するデータについてはストアデータを上書きするため、ストア操作の前にロード操作を実行する場合に曖昧なメモリ参照が回避され、正確かつ高速な動作を実現することができる。

〔実施の形態 2〕

図 1 4 は、本発明の実施の形態 2 に係る計算機の構成を示す図である。図 1 4 に示されるように、本実施の形態 2 に係る計算機は、図 6 に示された実施の形態 1 に係る計算機と同様な構成を有するが、命令実行部 4 1 には投機的ロード操作履歴読み出し命令実行部 9 5 と、投機的ロード操作履歴書き込み命令実行部 9 7 がさらに備えられ、それに伴い履歴制御部 1 0 3 の構成が変更される点で相違するものである。また、命令実行部 4 1 には浮動小数点ロード命令実行部 2 5 と浮動小数点ストア命令実行部 2 7 および浮動小数点演算命令実行部 2 9 も含むため、それに伴い投機的浮動小数点ロード命令実行部 9 9 と、干渉回復浮動少数点ストア命令実行部 1 0 1 とがさらに備えられる点でも相違する。

【0 0 4 9】

ここで、投機的ロード操作履歴読み出し命令実行部 9 5 は命令デコード部 9 4 と汎用レジスタ 3 7 及び履歴制御部 1 0 3 に接続され、投機的ロード操作履歴書き込み命令実行部 9 7 は汎用レジスタ 3 7 と履歴制御部 1 0 3 に接続される。また、投機的浮動小数点ロード命令実行部 9 9 及び干渉回復浮動少数点ストア命令実行部 1 0 1 は、命令デコード部 9 4 と浮動小数点ロード命令実行部 2 5、浮動

小数点レジスタ 39、割込制御回路 40 及び履歴制御部 103 に接続される。

【0050】

図 15 は、図 14 に示された履歴制御部 103 の構成を示す図である。図 15 に示されるように、履歴制御部 103 は図 7 に示された履歴制御部 51 と同様な構成を有するが、レジスタ種別レジスタ (RTREG) 105 と投機的ロード操作履歴読み出し命令実行部 113 及び投機的ロード操作履歴書き込み命令実行部 115 とをさらに備え、各エントリにはレジスタの種別を示すレジスタタイプフィールド (RT) 107~109 が含まれる点で相違する。

【0051】

ここで、レジスタ種別レジスタ (RTREG) 105 は命令実行部 100 に接続され、投機的ロード操作履歴読み出し命令実行部 113 はアドレスレジスタ 57 と各エントリ、デコード回路 111 及び命令実行部 100 に接続される。また、投機的ロード操作履歴書き込み命令実行部 115 はアドレスレジスタ 57 と、データタイプレジスタ 59、レジスタ種別レジスタ 105、レジスタ番号レジスタ 61、デコード回路 111 及び各エントリに接続される。

【0052】

上記において、投機的ロード操作履歴読み出し命令実行部 95 は、命令デコード部 94 から投機的ロード操作履歴読み出し命令が供給されたとき履歴制御部 103 へ履歴読み出し信号 HR を供給し、読み出した投機的ロード操作の履歴を汎用レジスタ 37 へ書き込む。また、投機的ロード操作履歴書き込み命令実行部 97 は、命令デコード部 94 から投機的ロード操作履歴書き込み命令が供給されたとき、汎用レジスタ 37 から読み出したデータを履歴書き込み信号 HW と共に履歴制御部 103 へ供給する。

【0053】

また、履歴制御部 103 は、投機的ロード命令実行部 43 あるいは投機的浮動小数点ロード命令実行部 99 から供給された登録信号 ADD に基づいて、投機的ロード操作履歴テーブルに投機的ロード操作を登録する。そして、干渉回復ストア命令実行部 45 及び干渉回復浮動少数点ストア命令実行部 101 から供給された確認信号 CC に応じて、干渉回復ストア命令あるいは干渉回復浮動小数点ストア

ア命令によるストア操作と、投機的ロード操作履歴テーブルに登録されている投機的ロード操作においてそれぞれ操作対象とされたアドレス領域が、相互に干渉するものであるか否かを確認する。そして、干渉している場合には、干渉回復ストア命令あるいは干渉回復浮動小数点ストア命令の実行時における書き込み値（ストアデータ）を、先の投機的ロード操作でロード先とされ、かつ該干渉が生じているデータが格納されたレジスタへ上書きする。

【0054】

また、投機的ロード操作履歴読み出し命令実行部 95 から供給された履歴読み出し信号 HR に応じて、投機的ロード操作履歴読み出し命令実行部 113 により、ロード操作履歴テーブルから投機的ロード操作の履歴を読み出し、投機的ロード操作履歴読み出し命令実行部 95 へ供給する。さらに、投機的ロード操作履歴書き込み命令実行部 97 から供給された履歴書き込み信号 HW に応じて、投機的ロード操作履歴書き込み命令実行部 115 により、投機的ロード操作履歴書き込み命令実行部 97 から供給されたデータを投機的ロード操作履歴テーブルへ書き込む。

【0055】

また、図 15 に示されたレジスタ種別レジスタ 105 には、各命令すなわち投機的ロード命令、干渉回復ストア命令、投機的浮動小数点ロード命令及び干渉回復浮動小数点ストア命令を実行するに当り操作対象とするレジスタを識別する識別値が保持される。ここで、該識別値は、例えば汎用レジスタに対しては 0、浮動小数点レジスタに対しては 1 とされる。また、上記レジスタタイプフィールド (RT) 107～109 には、投機的ロード操作においてロード対象とされたレジスタの種別を示す上記設定値が保持される。

【0056】

以上より、本実施の形態 2 に係る計算機によれば、上記実施の形態 1 に係る計算機と同様な効果を奏すると共に、投機的ロード操作履歴テーブルを任意に書き換えることができるため、コンテキストの切り替えが容易であるという効果をさらに得ることができる。

また、操作対象とするレジスタの種別を示す情報も履歴として保持することに

より、先行させた汎用レジスタ 3 7 に対する操作と浮動小数点レジスタ 3 9 に対する操作とを区別することができるため、双方のレジスタにおけるデータ処理において曖昧なメモリ参照が回避され、正確かつ高速な動作を実現することができる。

〔実施の形態 3〕

図 1 6 は、本発明の実施の形態 3 に係る計算機の構成を示す図である。図 1 6 に示されるように、本実施の形態 3 に係る計算機は、図 1 4 に示された実施の形態 2 に係る計算機と同様な構成を有するが、命令実行部 1 2 0 には浮動小数点ロード命令実行部 2 5 と浮動小数点ストア命令実行部 2 7、浮動小数点演算命令実行部 2 9、投機的浮動小数点ロード命令実行部 9 9 及び干渉回復浮動少数点ストア命令実行部 1 0 1 の代わりに、コンテキスト識別番号レジスタ読み出し命令実行部 (CRC) 1 1 9 とコンテキスト識別番号レジスタ書き込み命令実行部 (CWC) 1 2 1 が備えられる点で相違する。

【0 0 5 7】

また、レジスタ制御部 1 2 3 には浮動小数点レジスタ 3 9 の代わりにコンテキスト識別番号レジスタ 1 2 5 が備えられ、割込み制御部 1 2 9 にはさらにオーバーフロー例外割込み制御部 1 3 1 が備えられる点でも相違する。さらに、上記のような構成に伴い履歴制御部 1 2 7 の構成が変更されるものである。

ここで、コンテキスト識別番号レジスタ読み出し命令実行部 (CRC) 1 1 9 およびコンテキスト識別番号レジスタ書き込み命令実行部 (CWC) 1 2 1 は、命令デコード部 1 1 7 と汎用レジスタ 3 7、履歴制御部 1 2 7 及びコンテキスト識別番号レジスタ 1 2 5 に接続される。また、コンテキスト識別番号レジスタ 1 2 5 は履歴制御部 1 2 7 に接続される。さらに、オーバーフロー例外割込み制御部 1 3 1 はプログラムカウンタ 1 3 とレジスタ 3 1, 3 3, 3 5 及び履歴制御部 1 2 7 に接続される。

【0 0 5 8】

図 1 7 は、図 1 6 に示された履歴制御部 1 2 7 の構成を示す図である。図 1 7 に示されるように、履歴制御部 1 2 7 は図 1 5 に示された履歴制御部 1 0 3 と同様な構成を有するが、オーバーフロー判定部 1 3 9 をさらに備え、各エントリに

はレジスタの種別を示すレジスタタイプフィールド (RT) 107~109の代わりにコンテキスト識別フィールド (CTXT#) 135~137が含まれる点で相違する。そして、上記オーバーフロー判定部 139には各エントリの E フィールド 70, 74, 78の値が供給される。

【0059】

ここで、コンテキスト識別番号レジスタ 125は現在のコンテキストを識別する識別番号を保持する。また、コンテキスト識別番号レジスタ読み出し命令実行部 (CRC) 119は命令デコード部 117からコンテキスト識別番号レジスタ読み出し命令が供給されると、コンテキスト識別番号レジスタ 125に格納されたコンテキスト識別番号を読み出し、汎用レジスタ 37へ書き込む。また、コンテキスト識別番号レジスタ書き込み命令実行部 (CWC) 121は命令デコード部 117からコンテキスト識別番号レジスタ書き込み命令が供給されると、汎用レジスタ 37から読み出したデータをコンテキスト識別番号レジスタ 125へ書き込む。

【0060】

さらに、オーバーフロー例外割込み制御部 131は、履歴制御部 127から供給されたオーバーフロー信号 OF が供給されると割り込みを発生させ、割り込みからの復帰先となるアドレスをレジスタ 31へ、割り込み発生前の動作状態をレジスタ 33へ、発生した割り込みに対応する動作状態をレジスタ 35へそれぞれ書き込む。また、発生した割り込みに対応する分岐先アドレスをプログラムカウンタ 13へ供給する。

【0061】

また、オーバーフロー判定部 139は投機的ロード操作履歴テーブルに登録可能な空きエントリがないか否かを判定する。すなわち、より具体的には、例えば E フィールド 70, 74, 78から 0の値が供給されたエントリが空きであると判定される。そして、オーバーフロー判定部 139は、空きエントリの有無を投機的ロード操作履歴登録制御部 91へ通知すると共に、空きエントリが無い場合にはオーバーフロー信号 OF をオーバーフロー例外割込み制御部 131へ供給する。

【0062】

上記のような本実施の形態3に係る計算機においては、Eフィールド70，74，78が1の有効なエントリにおいて、コンテキスト識別フィールド（CTXT#）135～137の値とコンテキスト識別番号レジスタ125から供給されたコンテキスト識別番号とが一致する場合にだけ比較器132～134が活性化され、上記干渉の有無が判断されるため、コンテキスト毎のデータ処理において曖昧なメモリ参照が回避され、正確かつ高速な動作を実現することができる。

【0063】

また、コンテキスト識別番号レジスタ125に格納されたコンテキスト識別番号を任意に書き換えることができるため、コンテキストの切り替えが容易であるという効果をさらに得ることができる。

【実施の形態4】

図18は、本発明の実施の形態4に係る計算機の構成を示す図である。図18に示されるように、本実施の形態4に係る計算機は、図6に示された実施の形態1に係る計算機と同様な構成を有するが、命令実行部145には上記実施の形態2で説明された投機的ロード操作履歴読み出し命令実行部95が備えられ、さらにストアデータテーブル読み出し命令実行部143が備えられる点で相違する。

【0064】

また、割り込み制御部150には、干渉回復例外割込制御部149が備えられる点でも相違する。

ここで、ストアデータテーブル読み出し命令実行部143は命令デコード部141と履歴制御部147及び汎用レジスタ37に接続される。また、干渉回復例外割込制御部149はプログラムカウンタ13とレジスタ31，33，35及び履歴制御部147に接続される。

【0065】

また、上記のような構成に伴って履歴制御部147の構成も以下のように相違する。図19は、図18に示された履歴制御部147の構成を示す図である。図19に示されるように、履歴制御部147は図7に示された履歴制御部51と同様な構成を有するが、上記実施の形態2で説明された投機的ロード操作履歴読み

出し命令実行部 113 と、ストアデータテーブル読み出し命令実行部 157 と、データフィールド DATA0 ～ DATA_m がさらに備えられ、各エントリには V フィールド 151 ～ 153 及びエントリフィールド 154 ～ 156 が設けられる点で相違する。

【0066】

ここで、ストアデータテーブル読み出し命令実行部 157 は、アドレスレジスタ 57 とデータフィールド DATA0 ～ DATA_m、デコード回路 65 及び命令実行部 41 に接続される。

上記のような構成を有する計算機において、ストアデータテーブル読み出し命令実行部 143 は、命令デコード部 141 から供給されるストアデータテーブル読み出し命令に応じて、履歴制御部 147 へストアデータ読み出し信号 SR を供給することにより後述するストアデータテーブルを読み出し、汎用レジスタ 37 へ書き込む。

【0067】

また、干渉回復例外割込制御部 149 は、履歴制御部 147 から供給されたオーバーラップ信号 OL に応じて、割り込みを発生させ割り込みからの復帰先アドレスをレジスタ 31 へ、割り込み発生前の動作状態をレジスタ 33 へ、発生した割り込みに対応する動作状態をレジスタ 35 へ書き込む。また、発生した割り込みに対する分岐先アドレスを命令読み出し部 3 へ供給する。

【0068】

そして、履歴制御部 147 は、ストアデータテーブル読み出し命令実行部 143 から供給されたストアデータ読み出し信号 SR に応じて、ストアデータテーブルを読み出し、ストアデータテーブル読み出し命令実行部 143 へ供給する。

また、図 19 に示された V フィールド 151 ～ 153 のデータは、対応するエントリにおいて投機的ロード操作対象とされたアドレス領域と、干渉回復例外付きストア命令のストア操作対象とされたアドレス領域とが干渉するか否かを示す。そして、例えば 0 のときには干渉しないことを意味し、1 のときには干渉することを意味する。

【0069】

さらに、エントリフィールド 1 5 4 ~ 1 5 6 は V フィールド 1 5 1 ~ 1 5 3 が 1 の時の干渉回復例外付きストア命令による書き込み値（ストアデータ）を保持しているストアデータテーブルのエントリ番号を示す。そして、後述する干渉回復例外の割り込み処理プログラムにおいては、このエントリフィールド 1 5 4 ~ 1 5 6 を参照しつつ回復が行われる。

【 0 0 7 0 】

また、データフィールド DATA 0 ~ DATA m は、上記ストアデータテーブルのエントリを構成し、投機的ロード操作履歴テーブルに登録されている投機的ロード操作のアドレス領域と、干渉回復例外付きストア命令のストア操作対象とされたアドレス領域とが干渉している場合の、干渉しているストア操作の書き込み値（ストアデータ）を保持する。

【 0 0 7 1 】

以上のような構成を有する本実施の形態 4 に係る計算機の動作を、以下に説明する。なお、初期状態は通常動作を行う。まず、該通常動作においては命令読み出し部 3 は、プログラムカウンタ（PC） 1 3 が示す命令語を読み出し、命令実行部 1 4 5 へ供給する。そして、命令実行部 1 4 5 は供給された命令を実行するが、投機的ロード命令が供給された場合には、履歴制御部 1 4 7 へ該ロード操作の履歴を追加的に登録する。

【 0 0 7 2 】

一方、干渉回復例外付きストア命令が供給された場合の動作は図 2 0 のフローチャートに示される。すなわち、図 2 0 のステップ S 1 に示されるように、該ストア操作の対象とされるデータのアドレスが、先の投機的ロード操作の対象とされ履歴制御部 1 4 7 に既に登録されているデータのアドレス領域に対して干渉するものであるか否かが確認される。そして、ステップ S 2 の判断において干渉している場合には、ステップ S 1 0 へ進み、ストアテーブルへストアデータを追加的に書き込むと共に、干渉回復例外の割り込み処理プログラムを実行する。

【 0 0 7 3 】

ここで、干渉回復例外の割り込み処理プログラムの概略が、図 2 2 のフローチャートに示される。すなわち、干渉回復例外の割り込み処理プログラムにおいて

は、ステップ S 1 においてコンテキストの退避がなされ、ステップ S 2 においてロード操作履歴テーブル及びストアデータテーブルを参照して、干渉しているロード操作におけるロード先のレジスタへストアデータを書き込む。次に、ステップ S 3 においてコンテキストの復元がなされ、ステップ S 4 において割り込み復帰命令の実行により干渉回復例外の割り込みからの復帰がなされる。

【0074】

一方、図 20 に示されたステップ S 2 の判断において干渉していない場合には、ステップ S 3 へ進み、汎用レジスタ 37 から読み出したデータをストア対象アドレス域のデータとして書き込む。また、ストアデータテーブル読み出し命令が供給された場合には、ストアデータテーブルから所定のストアデータを読み出す。そして、通常動作においては、以上のような動作を繰り返す。なお、干渉回復例外付きストア命令の命令形式は図 21 に示されるように、図 5 に示されたストア命令の命令形式と同様である。

【0075】

また、割り込みが発生した場合には、命令読み出し部 3 又は命令実行部 145 から供給された割込信号に応じて、割込制御回路 40 は割り込みからの復帰先の命令語のアドレスをレジスタ 31 へ、割り込み発生前の動作状態をレジスタ 33 へ、発生した割り込みに対応する動作状態をレジスタ 35 へ書き込む。また、発生した割り込みに対応する分岐先アドレスをプログラムカウンタ 13 へ供給する。ここで、命令読み出し部 3 は供給された分岐先アドレスに応じてメモリ 1 から命令語を読み出し、該命令語を命令実行部 145 へ供給する。そして、以降においては上記の通常の動作と同様である。

【0076】

また、割り込みから復帰する場合には、命令実行部 145 は割り込み復帰命令を実行することによりレジスタ 33 に格納された値をレジスタ 35 へ書き込む。また、レジスタ 31 に格納された値を読み出し、分岐先アドレスとして命令読み出し部 3 へ供給する。ここで、命令読み出し部 3 は供給された分岐先アドレスに応じて命令語をメモリ 1 から読み出し、命令実行部 41 へ供給する。そして、以降においては上記の通常の動作と同様である。

【0077】

以上より、本実施の形態4に係る計算機によれば、該干渉によるデータの乱れを割り込みによるデータ処理というソフト的な手段によって回復することができるため、上記実施の形態1に係る計算機と同様な効果を容易に得ることができる。

[実施の形態5]

図19に示された上記実施の形態4に係る計算機の履歴制御部147においては、Vフィールド151～153及びエントリフィールド154～156をデータフィールドDATA0～DATA m に隣接するよう配置することも考えられる。

【0078】

図23は、上記のようなレイアウトを実現する実施の形態5に係る履歴制御部159の構成を示す図である。図23に示されるように、データフィールドDATA n (n は0～ m) に隣接するようVフィールドV n 及びエントリフィールドENT n を配置することによっても、上記実施の形態4に係る計算機と同様な効果を得ることができる。

[実施の形態6]

図24は、本発明の実施の形態6に係る計算機の構成を示す図である。図24に示されるように、本実施の形態6に係る計算機は図18に示された実施の形態4に係る計算機と同様な構成を有するが、命令実行部165において干渉回復ストア命令実行部45の代わりに干渉回復分岐付きストア命令実行部161と、干渉回復分岐アドレスレジスタ書き込み命令実行部163とが備えられる点で相違する。また、レジスタ制御部169には干渉回復分岐アドレスレジスタ (BAR) 167がさらに備えられる点でも相違する。

【0079】

ここで、干渉回復分岐付きストア命令実行部161は命令デコード部141と汎用レジスタ37、割込制御回路40及び履歴制御部148に接続される。また、干渉回復分岐アドレスレジスタ書き込み命令実行部163は命令デコード部141と汎用レジスタ37及び干渉回復分岐アドレスレジスタ (BAR) 167に接続される。そして、干渉回復分岐アドレスレジスタ (BAR) 167はさらに履歴

制御部 148 に接続される。

【0080】

また、図 25 は図 24 に示された履歴制御部 148 の構成を示す図である。図 25 に示されるように、本実施の形態に係る履歴制御部 148 は図 19 に示された履歴制御部 148 と同様な構成を有するが、投機的ロード操作履歴干渉確認制御部 93 には干渉回復分岐アドレスレジスタ (BAR) 167 及びプログラムカウンタ 13 が接続される点で相違する。

【0081】

ここで、上記干渉回復分岐付きストア命令実行部 161 は命令デコード部 17 から干渉回復分岐付きストア命令が供給されたとき、汎用レジスタ 37 から読み出した値から実効アドレスを求め、汎用レジスタ 37 から読み出したデータをメモリ 1 の該実効アドレスに対応する領域へ書き込む。また、履歴制御部 148 へ確認信号 CC を出力する。なお、命令を実行する際に割り込みを検出した場合には、割込信号を割込制御回路 40 に供給する。

【0082】

また、干渉回復分岐アドレスレジスタ書き込み命令実行部 163 は、命令デコード部 17 から干渉回復分岐アドレスレジスタ書き込み命令が供給されたとき、汎用レジスタ 37 から読み出したデータを干渉回復分岐アドレスレジスタ 167 へ書き込む。そして、この干渉回復分岐アドレスレジスタ 167 には、干渉によるデータの乱れから回復する回復コードの先頭アドレスが保持される。

【0083】

次に、上記のような構成を有する計算機の動作を説明する。なお、初期状態は通常動作を行う。まず、該通常動作においては命令読み出し部 3 は、プログラムカウンタ (PC) 13 が示す命令語を読み出し、命令実行部 165 へ供給する。そして、命令実行部 165 は供給された命令を実行するが、投機的ロード命令が供給された場合には、履歴制御部 148 へ該ロード操作の履歴を追加的に登録する。

【0084】

一方、干渉回復分岐付きストア命令が供給された場合の動作は図 26 のフロー

チャートに示される。すなわち、図 26 のステップ S 1 に示されるように、該ストア操作の対象とされるデータのアドレスが、先の投機的ロード操作の対象とされ履歴制御部 148 に既に登録されているデータのアドレス領域に対して干渉するものであるか否かが確認される。そして、ステップ S 2 の判断において干渉している場合には、ステップ S 10 へ進み、ストアデータをストアデータテーブルに追加し、干渉回復分岐アドレスレジスタ 167 が示す命令アドレスへ分岐する。

【0085】

一方、ステップ S 2 の判断において干渉していない場合には、ステップ S 3 へ進み、汎用レジスタ 37 から読み出したデータをストア対象アドレス域のデータとして書き込む。そして、通常動作においては、以上のような動作を繰り返す。なお、干渉回復分岐付きストア命令の命令形式は図 27 に示されるように、図 5 に示されたストア命令の命令形式と同様である。また、ストアデータテーブル読み出し命令が供給された場合には、ストアデータテーブルからストアデータを読み出す。

【0086】

また、割り込みが発生した場合には、命令読み出し部 3 又は命令実行部 165 から供給された割込信号に応じて、割込制御回路 40 は割り込みからの復帰先の命令語のアドレスをレジスタ 31 へ、割り込み発生前の動作状態をレジスタ 33 へ、発生した割り込みに対応する動作状態をレジスタ 35 へ書き込む。また、発生した割り込みに対応する分岐先アドレスをプログラムカウンタ 13 へ供給する。ここで、命令読み出し部 3 は供給された分岐先アドレスに応じてメモリ 1 から命令語を読み出し、該命令語を命令実行部 165 へ供給する。そして、以降においては上記の通常の動作と同様である。

【0087】

また、割り込みから復帰する場合には、命令実行部 165 は割り込み復帰命令を実行することによりレジスタ 33 に格納された値をレジスタ 35 へ書き込む。また、レジスタ 31 に格納された値を読み出し、分岐先アドレスとして命令読み出し部 3 へ供給する。ここで、命令読み出し部 3 は供給された分岐先アドレスに

応じて命令語をメモリ 1 から読み出し、命令実行部 4 1 へ供給する。そして、以降においては上記の通常の動作と同様である。

【0 0 8 8】

以上より、本実施の形態 6 に係る計算機によれば、該干渉によるデータの乱れを分岐命令の実行により指定された分岐先のプログラムによって回復することができるため、簡易な構成により上記実施の形態 1 に係る計算機と同様な効果を得ることができる。

さらに、本実施の形態 6 に係る計算機においては、上記回復に際してコンテキストの退避や復元といった動作を必要としないため、データ処理速度をより高速化することができる。

【0 0 8 9】

最後に、本発明の課題を解決するための手段について付記する。

(1) プログラムされた命令の実行順序を変更する計算機の制御方法であって、プログラムにおいて第一の命令より後置された第二の命令を、第一の命令より先に実行する第一のステップと、第一の命令の実行対象とされる第一データのアドレスが、第二の命令において実行対象とされたデータのアドレス領域に含まれるときには、第一の命令を実行することにより得られた結果をアドレスに対応するデータに上書きする第二のステップとを有することを特徴とする計算機の制御方法。

(2) 第一のステップでは、第二の命令において実行対象とされたデータのアドレスと、第二の命令を実行することにより得られた結果を記憶する記憶手段を特定する情報とが記憶され、第二のステップでは、アドレスと記憶手段を特定する情報とに応じて上書きを行う (1) に記載の計算機の制御方法。

(3) 第一のステップにおいて記憶されたアドレスと記憶手段を特定する情報とは、さらに第三の命令を実行することにより消去される (2) に記載の計算機の制御方法。

(4) 第一のステップにおいて記憶されたアドレスと記憶手段を特定する情報のうち少なくとも一方は、さらに第三の命令を実行することにより書き換えられる (2) に記載の計算機の制御方法。ここで、上記 (3) 又は (4) の手段によれ

ば、コンテキストを自在に変更することができるため、データ処理の自由度を高めることができる。

(5) 第一のステップでは、第二の命令において実行対象とされたコンテキストの識別情報が記憶され、第二のステップでは、コンテキストの識別情報に応じて上書きを行う(1)に記載の計算機の制御方法。このような手段によれば、コンテキスト毎に命令の実行順序を変更したことによるデータ処理の乱れを是正することができる。

(6) 第二のステップにおいて、第一の命令の実行対象とされる第一データのアドレスが、第二の命令において実行対象とされたデータのアドレス領域に含まれるときには、割り込み処理プログラムにより上書きが実行される(1)に記載の計算機の制御方法。このような手段によれば、ソフト的に上記データ処理の乱れを是正することができるため、容易に正確かつ高速なデータ処理を実現できる。

(7) 第二のステップにおいて、第一の命令の実行対象とされる第一データのアドレスが、第二の命令において実行対象とされたデータのアドレス領域に含まれるときには、分岐命令の実行により指定された分岐先のプログラムによって上書きが実行される(1)に記載の計算機の制御方法。このような手段によれば、動作の高速化をはかることができる。

(8) プログラムされた命令を実行する計算機であって、プログラムにおいて第一の命令より後置された第二の命令を、第一の命令より先に実行した場合に、第二の命令を実行することにより得られた結果の保存先を記憶する保存先記憶手段と、第一の命令の実行対象とされる第一データのアドレスが、第二の命令において実行対象とされた第二データのアドレス領域に含まれるか否かを判定する判定手段と、判定手段において、上記アドレスがアドレス領域に含まれるものと判定されたときには、保存先記憶手段に記憶された保存先において、第一の命令を実行することにより得られた結果をアドレスに対応する第二データに上書きするデータ回復手段とを備えたことを特徴とする計算機。

(9) 第二の命令の実行対象とされたコンテキストを特定する情報を記憶するコンテキスト情報記憶手段をさらに備え、判定手段は、コンテキスト情報記憶手段に記憶された情報に基づいて第一の命令の実行対象とされるコンテキストが第二

の命令の実行対象とされたコンテキストと一致すると判断される場合においてのみ活性化される（８）に記載の計算機。

（１０）データ回復手段は、判定手段においてアドレスがアドレス領域に含まれるものと判定されたときには、割り込み処理プログラムにおいて上書きを実行する（８）に記載の計算機。

（１１）データ回復手段は、判定手段において上記アドレスがアドレス領域に含まれるものと判定されたときには、分岐命令の実行により指定された分岐先のプログラムによって上書きを実行する（８）に記載の計算機。

（１２）第三の命令を実行することにより、保存先記憶手段に記憶された保存先を消去する保存先消去手段をさらに備えた（８）に記載の計算機。

（１３）第三の命令を実行することにより、保存先記憶手段に記憶された保存先を書き換える保存先書き換え手段をさらに備えた（８）に記載の計算機。

【００９０】

【発明の効果】

上述の如く、第一の命令の実行対象とされる第一データのアドレスが、先に実行された第二の命令において実行対象であったデータのアドレス領域に含まれるときには、第一の命令を実行することにより得られた結果を上記アドレスに対応するデータに上書きすれば、命令の実行順序を変更したことによるデータ処理の乱れを是正することができるため、命令の実行順序を変更したときにおいても正確なデータ処理を実現できる。

【００９１】

ここで、第一の命令をストア命令とし、第二の命令をロード命令とすれば、ロード命令を先に実行することによりデータ処理の高速化を図ることができる。

【図面の簡単な説明】

【図１】

汎用レジスタと浮動小数点レジスタとを有する従来の計算機の構成を示す図である。

【図２】

ロード命令による動作を示すフローチャートである。

【図 3】

ロード命令の命令形式を示す図である。

【図 4】

ストア命令による動作を示すフローチャートである。

【図 5】

ストア命令の命令形式を示す図である。

【図 6】

本発明の実施の形態 1 に係る計算機の構成を示す図である。

【図 7】

図 6 に示された履歴制御部の構成を示す図である。

【図 8】

投機的ロード命令による動作を示すフローチャートである。

【図 9】

投機的ロード命令の命令形式を示す図である。

【図 1 0】

干渉回復ストア命令による動作を示すフローチャートである。

【図 1 1】

干渉回復ストア命令の命令形式を示す図である。

【図 1 2】

投機的ロード操作履歴無効化命令による動作を示すフローチャートである。

【図 1 3】

投機的ロード操作履歴無効化命令の命令形式を示す図である。

【図 1 4】

本発明の実施の形態 2 に係る計算機の構成を示す図である。

【図 1 5】

図 1 4 に示された履歴制御部の構成を示す図である。

【図 1 6】

本発明の実施の形態 3 に係る計算機の構成を示す図である。

【図 1 7】

図 1 6 に示された履歴制御部の構成を示す図である。

【図 1 8】

本発明の実施の形態 4 に係る計算機の構成を示す図である。

【図 1 9】

図 1 8 に示された履歴制御部の構成を示す図である。

【図 2 0】

干渉回復例外付きストア命令による動作を示すフローチャートである。

【図 2 1】

干渉回復例外付きストア命令の命令形式を示す図である。

【図 2 2】

干渉回復例外の割込み処理プログラムを示すフローチャートである。

【図 2 3】

本発明の実施の形態 5 に係る計算機に含まれた履歴制御部の構成を示す図である。

【図 2 4】

本発明の実施の形態 6 に係る計算機の構成を示す図である。

【図 2 5】

図 2 4 に示された履歴制御部の構成を示す図である。

【図 2 6】

干渉回復分岐付きストア命令による動作を示すフローチャートである。

【図 2 7】

干渉回復分岐付きストア命令の命令形式を示す図である。

【符号の説明】

- 1 メモリ
- 3 命令読み出し部
- 5, 4 1, 1 0 0, 1 2 0, 1 4 5, 1 6 5 命令実行部
- 7, 4 9, 1 0 2, 1 2 3, 1 6 9 レジスタ制御部
- 9, 5 3, 1 2 9, 1 5 0 割り込み制御部
- 1 1 命令読み出し制御部

- 1 3 プログラムカウンタ (P C)
- 1 5 命令語レジスタ (I R)
- 1 7, 4 2, 9 4, 1 1 7, 1 4 1 命令デコード部
- 1 9 ロード命令実行部
- 2 1 ストア命令実行部
- 2 3 命令実行回路
- 2 5 浮動小数点 (F) ロード命令実行部
- 2 7 浮動小数点 (F) ストア命令実行部
- 2 9 浮動小数点 (F) 演算命令実行部
- 3 1 レジスタ (E P C R)
- 3 3 レジスタ (E P S R)
- 3 5 レジスタ (P S R)
- 3 7 汎用レジスタ
- 3 9 浮動小数点レジスタ
- 4 0, 5 5 割込制御回路
- 4 3 投機的ロード命令実行部
- 4 5 干渉回復ストア命令実行部
- 4 7 ロード履歴リセット部
- 5 1, 1 0 3, 1 2 7, 1 4 7, 1 4 8, 1 5 9 履歴制御部
- 5 7 アドレスレジスタ
- 5 9 データタイプレジスタ
- 6 1 レジスタ番号レジスタ
- 6 3 ストアデータレジスタ
- 6 5, 1 1 1 デコード回路
- 6 7 ~ 6 9, 1 3 2 ~ 1 3 4 比較器
- 7 0, 7 4, 7 8 E フィールド (E)
- 7 1, 7 5, 7 9 アドレスフィールド (ADDR)
- 7 2, 7 6, 8 0 データタイプフィールド (DT)
- 7 3, 7 7, 8 1 レジスタ番号フィールド (REG #)

- 83 オーバラップ判定部
- 85 オーバラップエントリ検出部
- 87 無効エントリ検出部
- 89 投機的ロード操作履歴リセット制御部
- 91 投機的ロード操作履歴登録制御部
- 93 投機的ロード操作履歴干渉確認制御部
- 95, 113 投機的ロード操作履歴読み出し命令実行部
- 97, 115 投機的ロード操作履歴書き込み命令実行部
- 99 投機的浮動小数点ロード命令実行部
- 101 干渉回復浮動少数点ストア命令実行部
- 105 レジスタタイプレジスタ (RTREG)
- 107~109 レジスタタイプフィールド
- 119 コンテキスト識別番号レジスタ読み出し命令実行部 (CRC)
- 121 コンテキスト識別番号レジスタ書き込み命令実行部 (CWC)
- 125 コンテキスト識別番号レジスタ
- 131 オーバーフロー例外割込み制御部
- 135~137 コンテキスト識別フィールド
- 139 オーバーフロー判定部
- 143, 157 スタデータテーブル読み出し命令実行部
- 149 干渉回復例外割込制御部
- 151~153, V0~Vm Vフィールド
- 154~156, ENT0~ENTm エントリフィールド
- 161 干渉回復分岐付きストア命令実行部
- 163 干渉回復分岐アドレスレジスタ書き込み命令実行部
- 167 干渉回復分岐アドレスレジスタ (BAR)
- ADD 登録信号
- CC 確認信号
- RS リセット信号
- HR 履歴読み出し信号

HW 履歴書き込み信号

OL オーバラップ信号

OF オーバーフロー信号

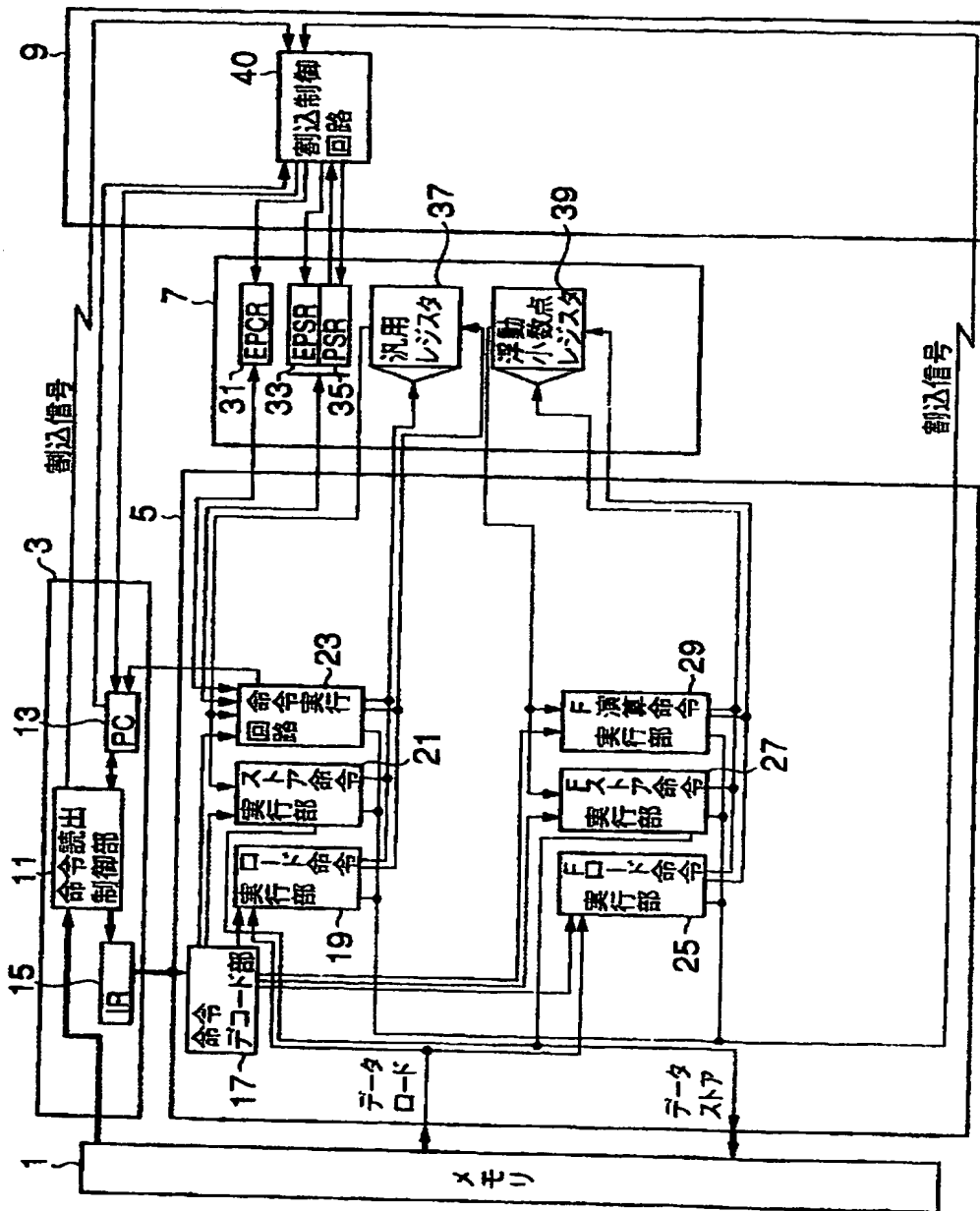
SR ストアデータ読み出し信号

DATA 0 ~ DATA m データフィールド

【書類名】 図面

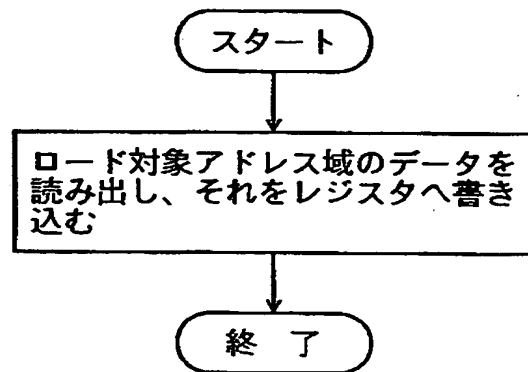
【図 1】

汎用レジスタと浮動小数点レジスタとを有する従来の計算機の構成を示す図



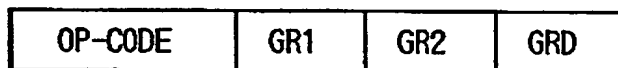
【図 2】

ロード命令による動作を示すフローチャート



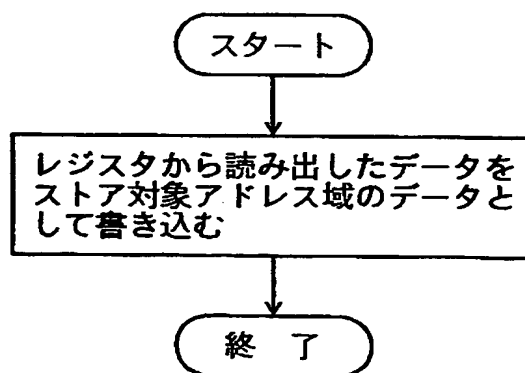
【図 3】

ロード命令の命令形式を示す図



【図 4】

ストア命令による動作を示すフローチャート



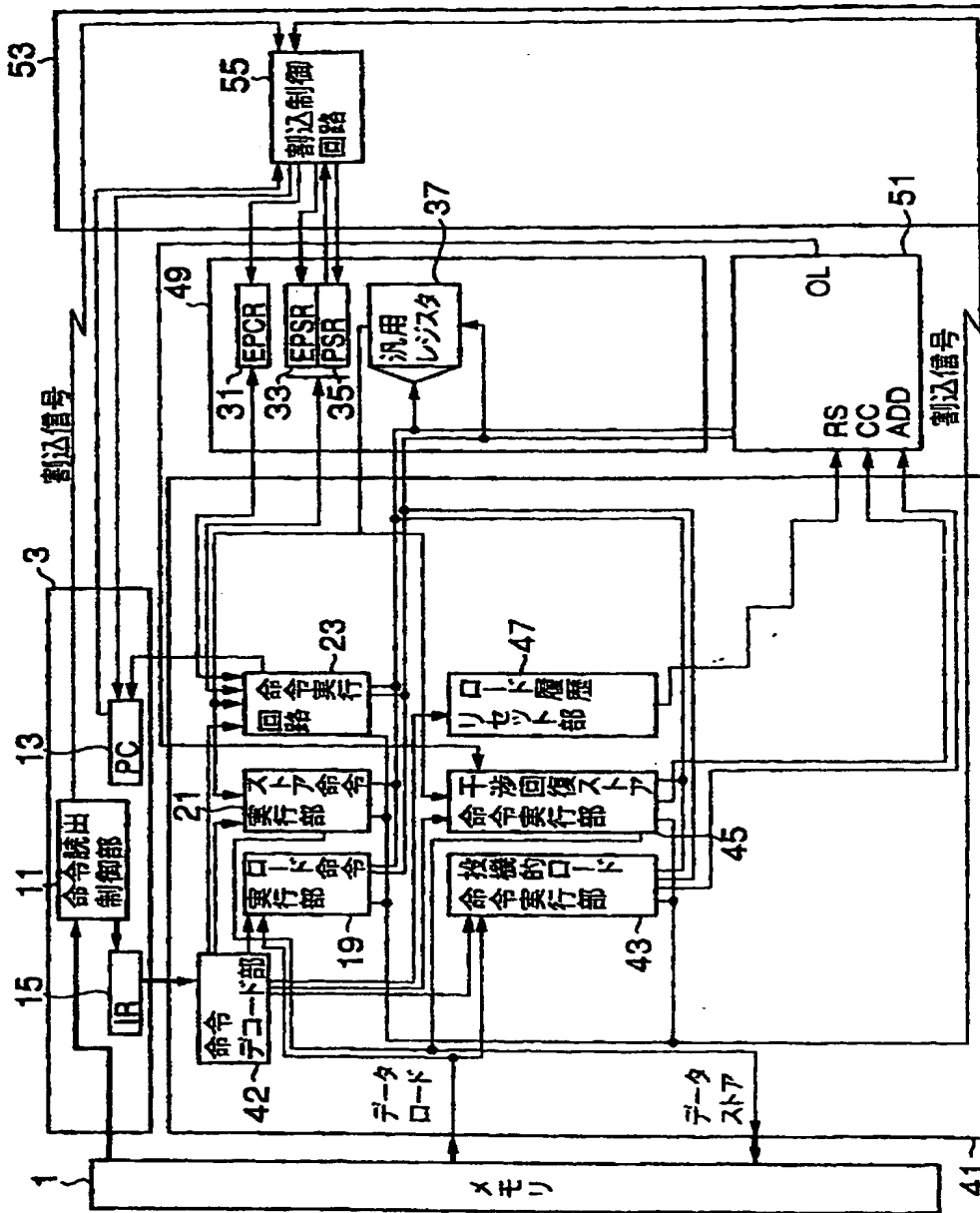
【図 5】

ストア命令の命令形式を示す図

OP-CODE	GR1	GR2	GRS
---------	-----	-----	-----

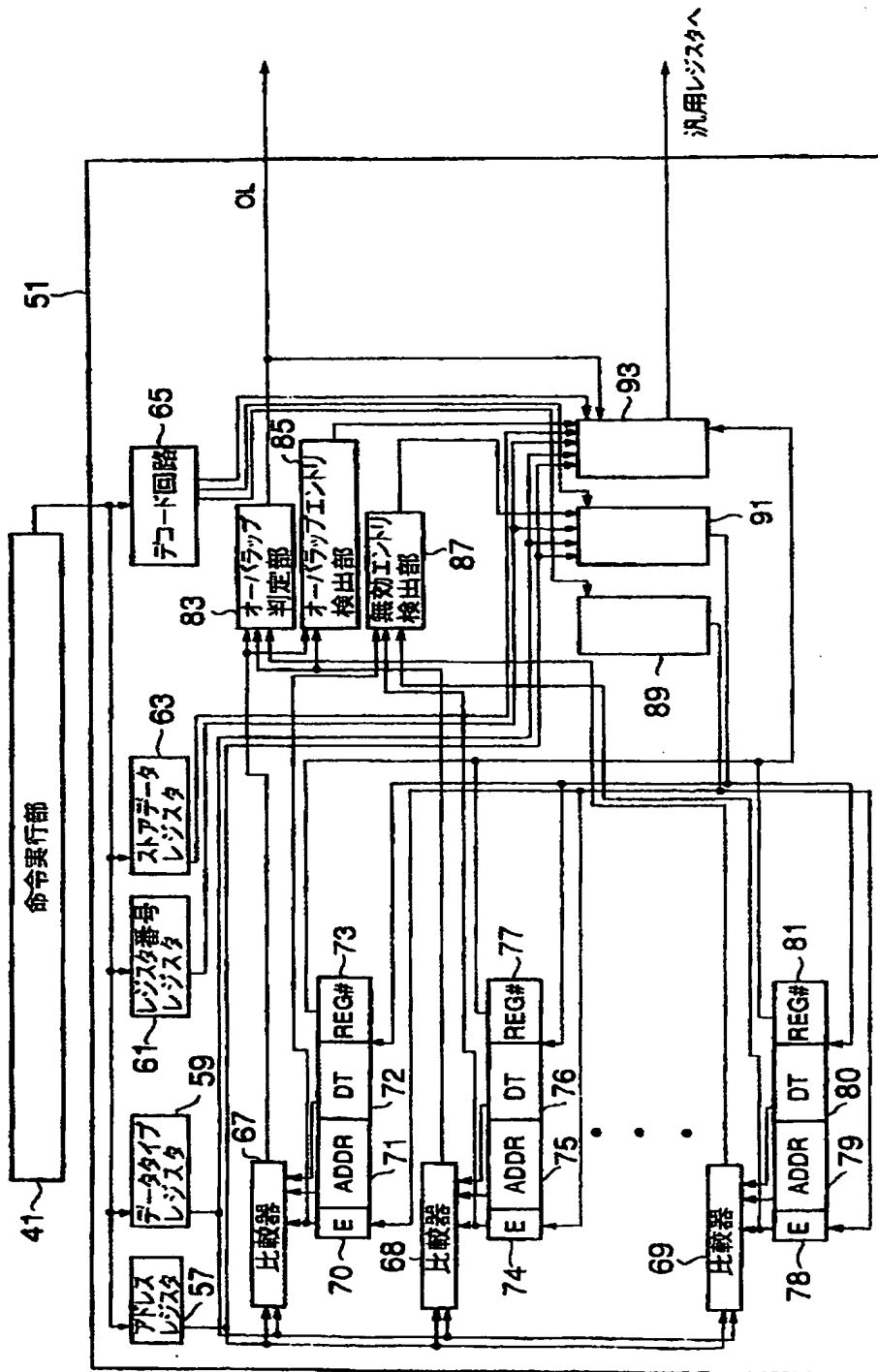
【図 6】

本発明の実施の形態1に係る計算機の構成を示す図



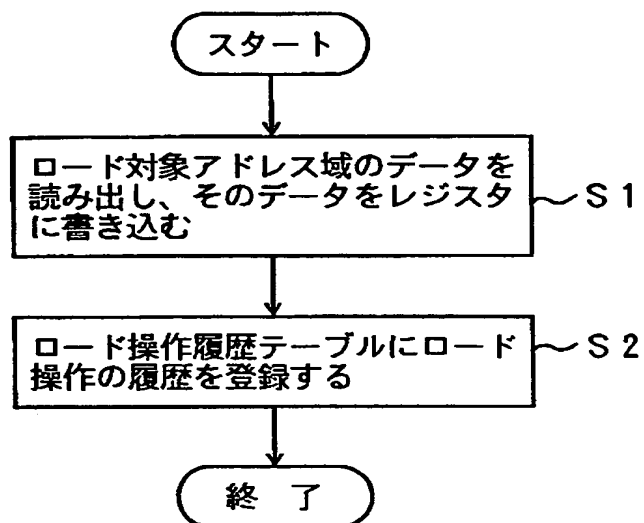
【図 7】

図 6 に示された 履歴制御部の構成を示す図



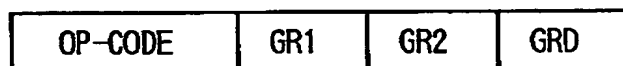
【図 8】

投機的ロード命令による動作を示すフローチャート



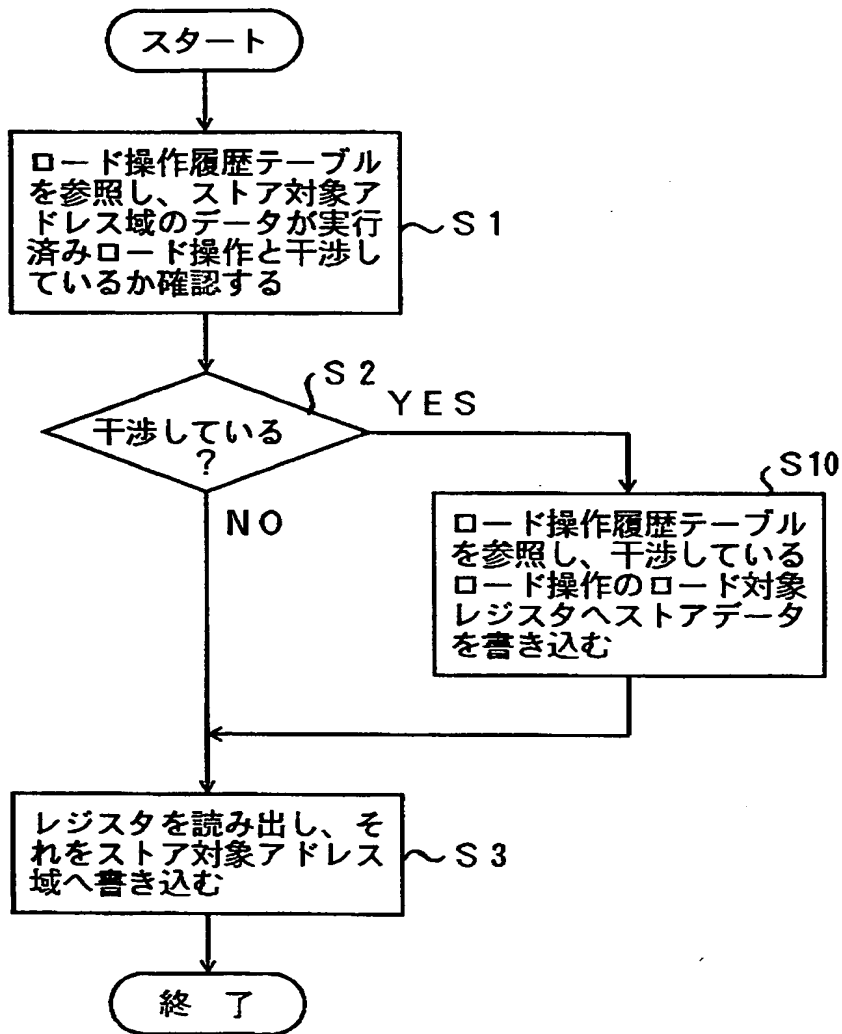
【図 9】

投機的ロード命令の命令形式を示す図



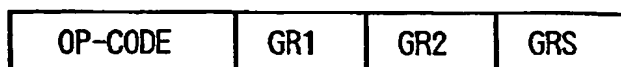
【図 1 0】

干渉回復ストア命令による動作を示すフローチャート



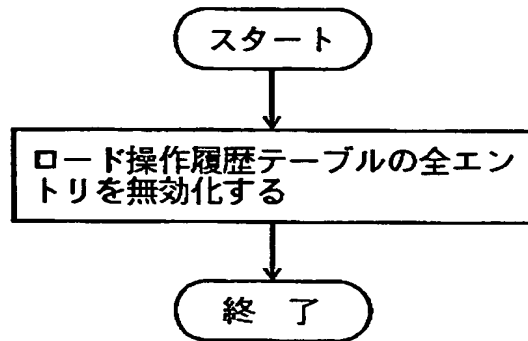
【図 1 1】

干渉回復ストア命令の命令形式を示す図



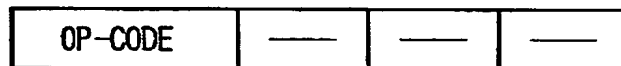
【図 1 2】

投機的ロード操作履歴 無効化 命令による動作を示すフローチャート



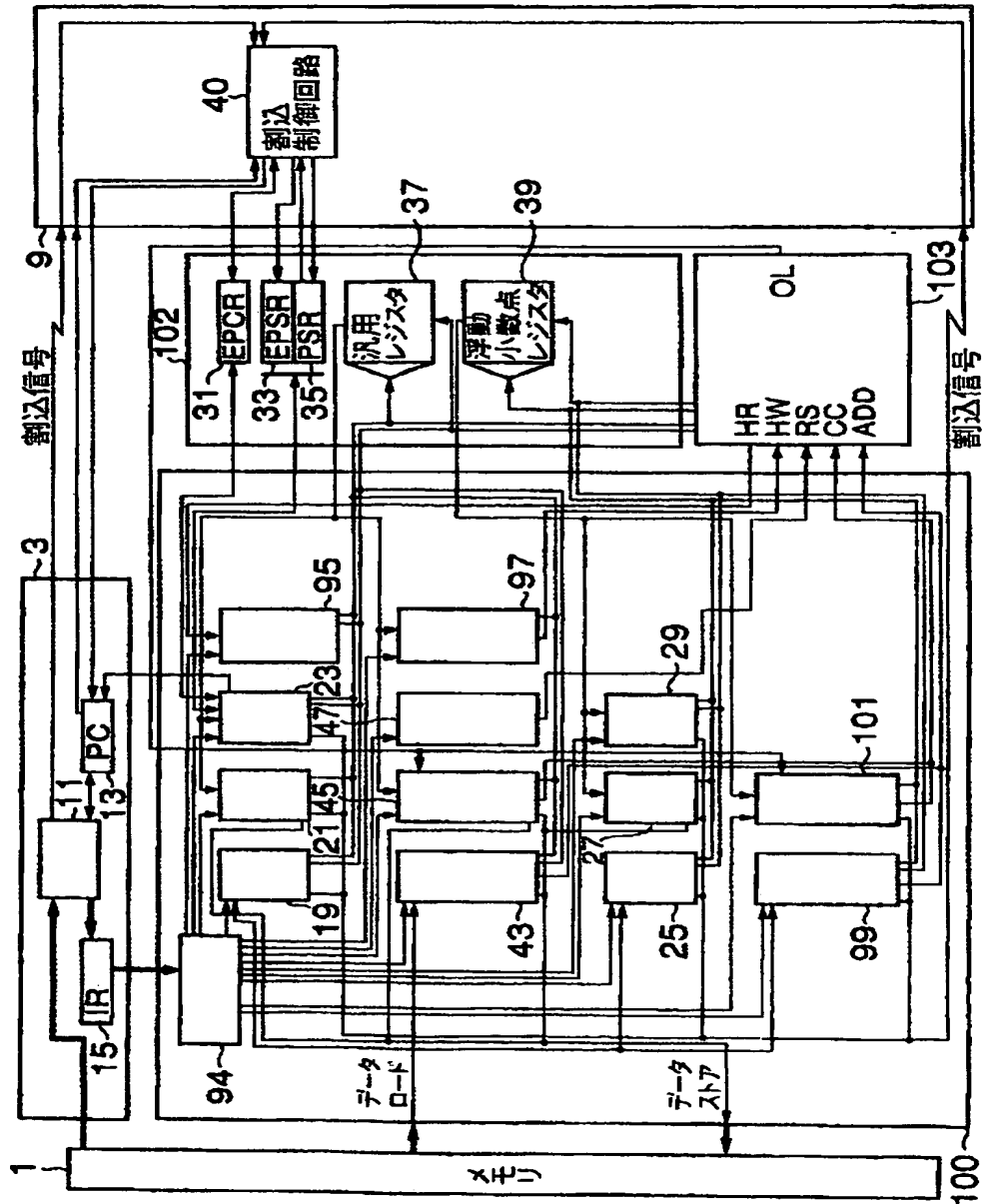
【図 1 3】

投機的ロード操作履歴 無効化 命令の命令形式を示す図



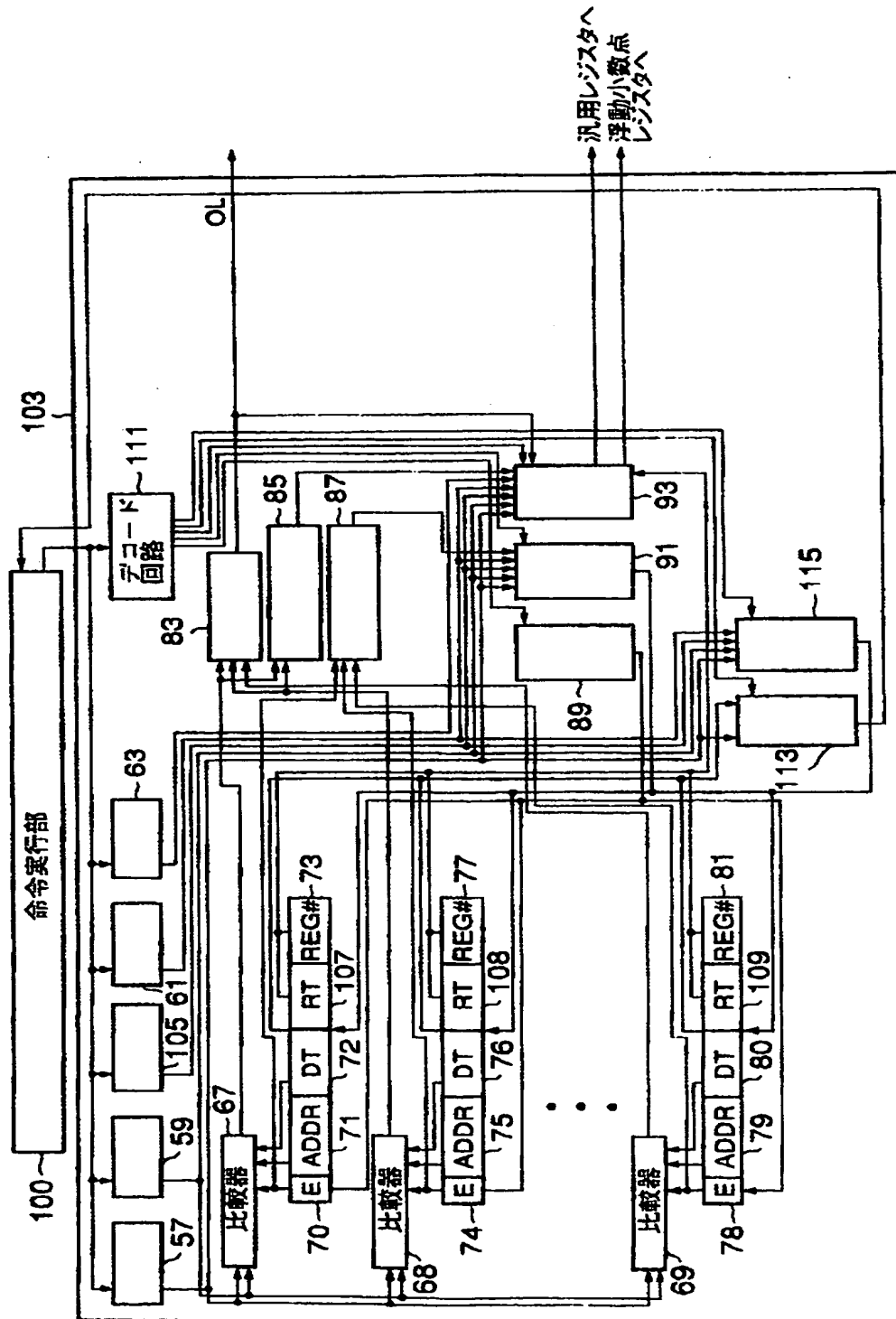
【図 1 4】

本発明の実施の形態2に係る計算機の構成を示す図



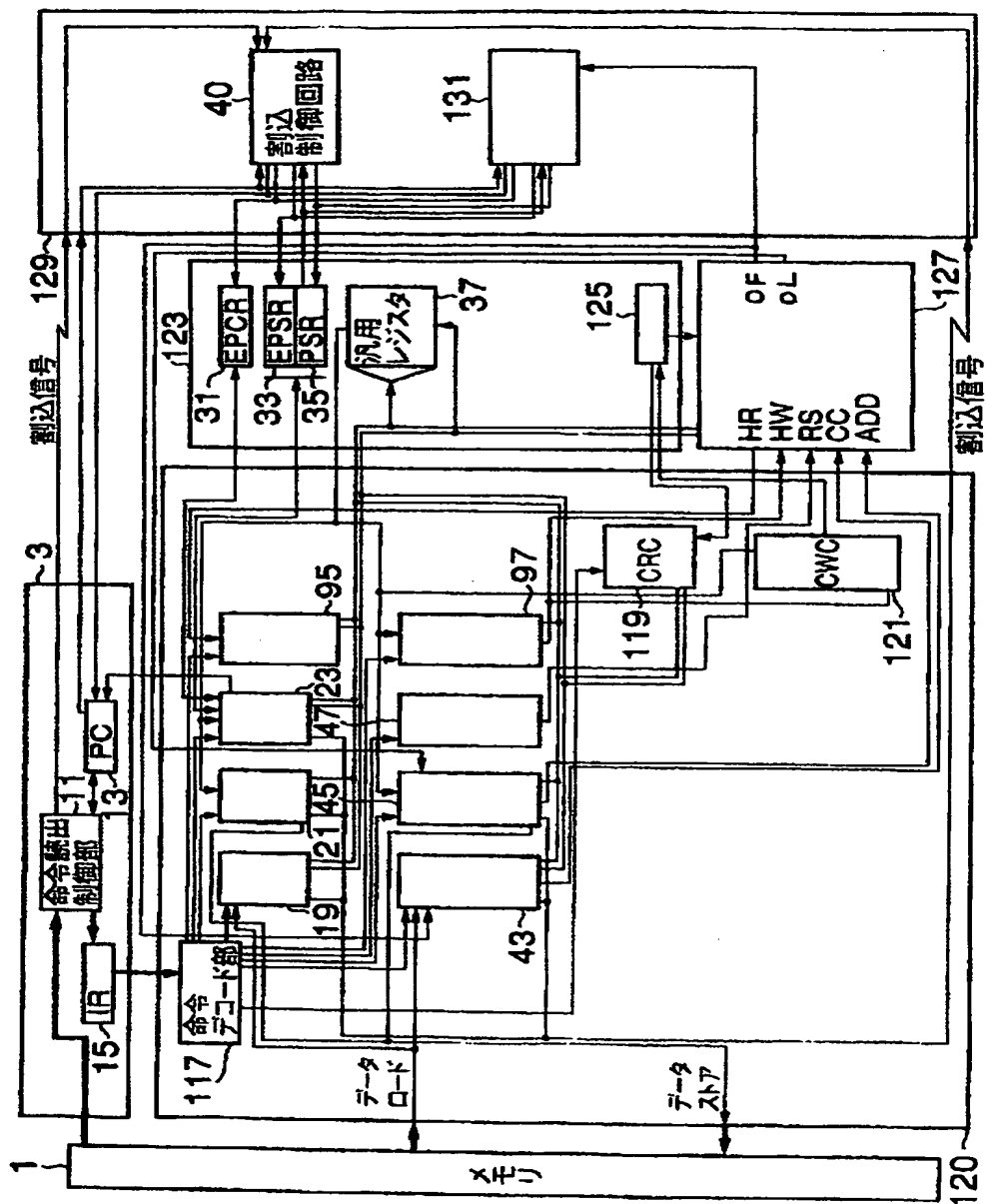
【図 1 5】

図 14 に示された履歴制御部の構成を示す図



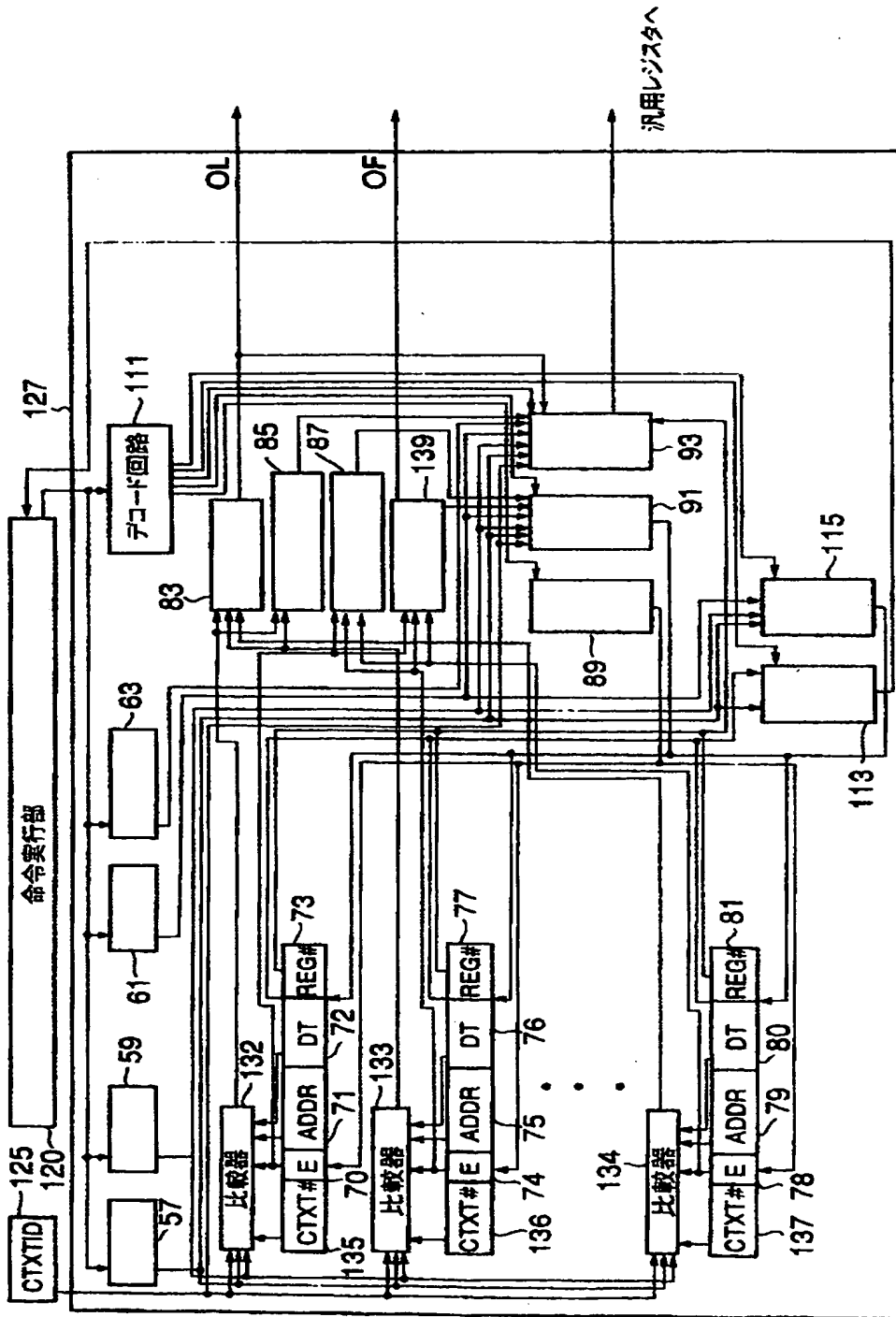
【図 1 6】

本発明の実施の形態3に係る計算機の構成を示す図



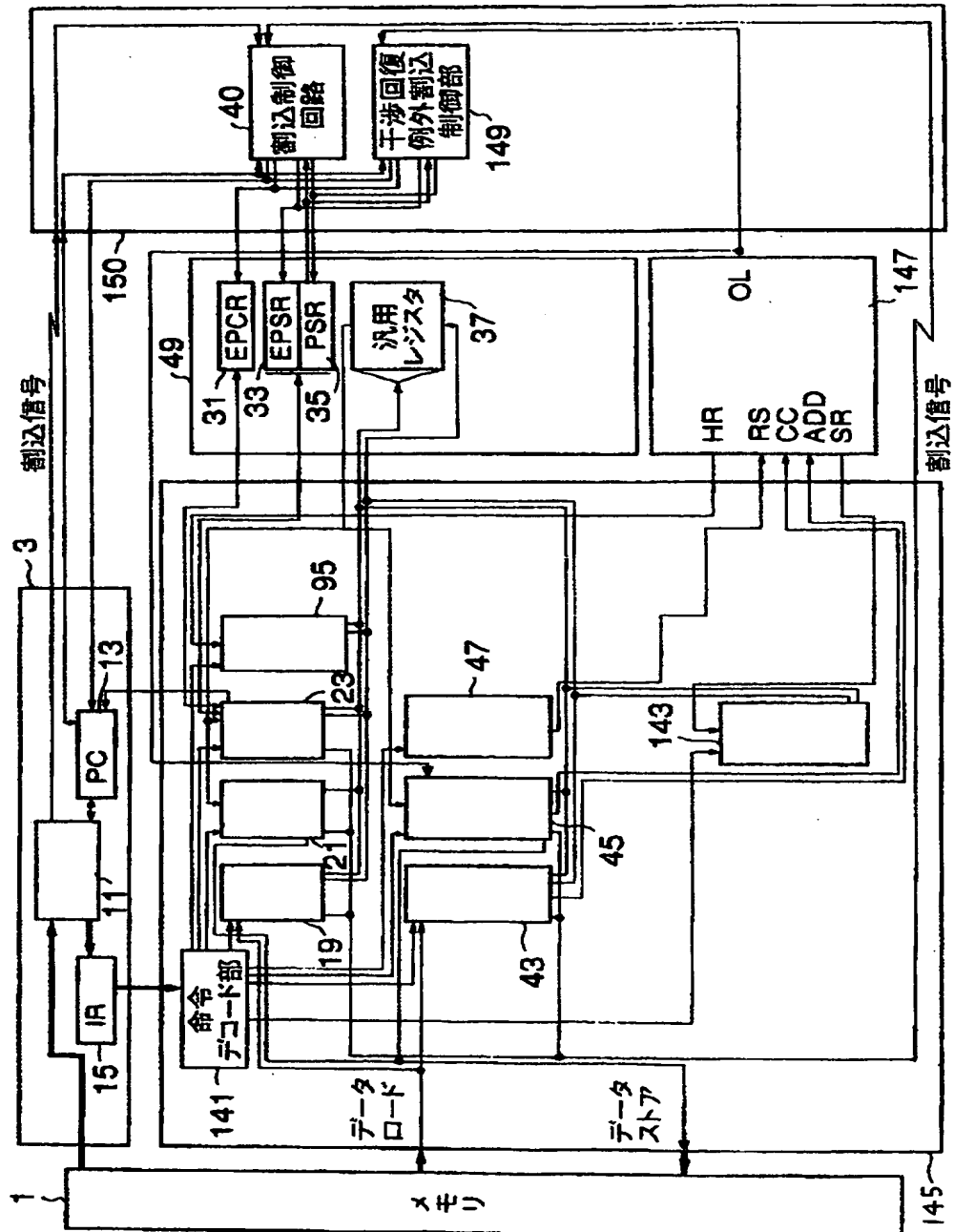
【図 1 7】

図 16 に示された履歴制御部の構成を示す図



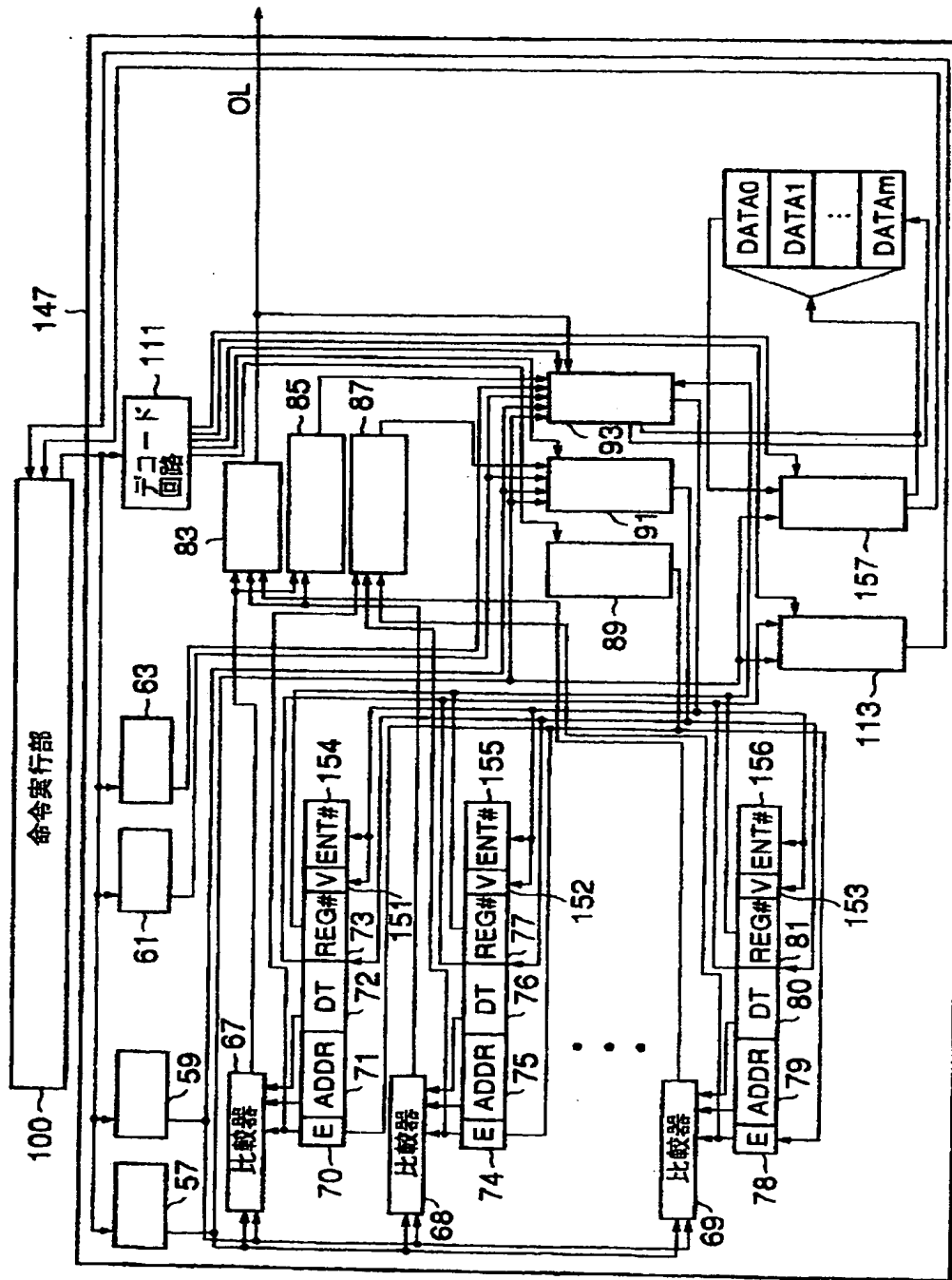
【図 1 8】

本発明の実施の形態4に係る計算機の構成を示す図



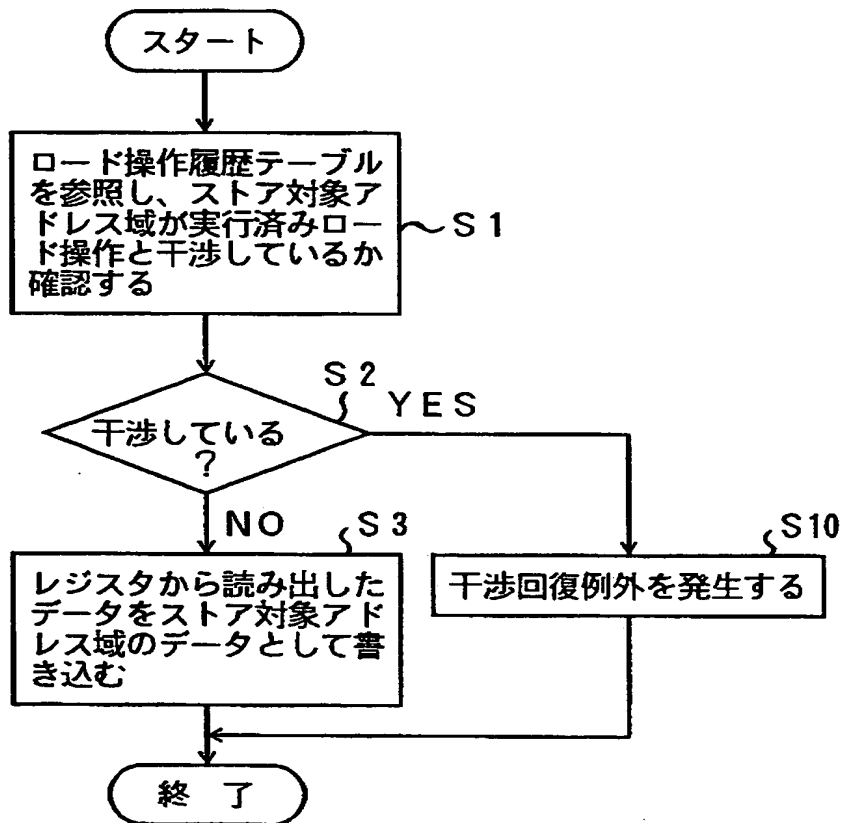
【図 1 9】

図 18 に示された履歴制御部の構成を示す図



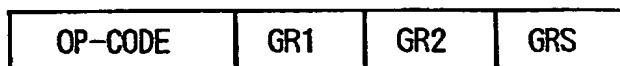
【図 2 0】

干渉回復例外付きストア命令による動作を示すフローチャート



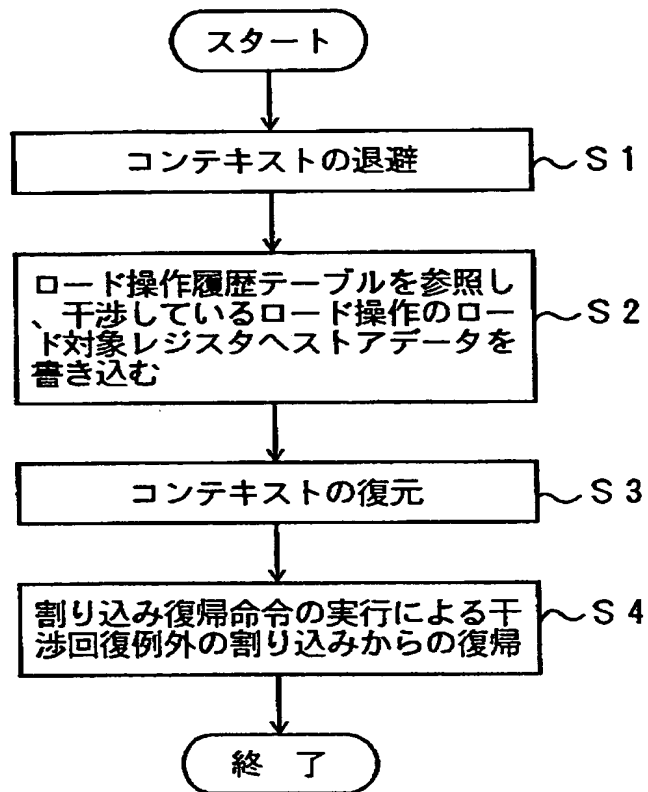
【図 2 1】

干渉回復例外付きストア命令の命令形式を示す図



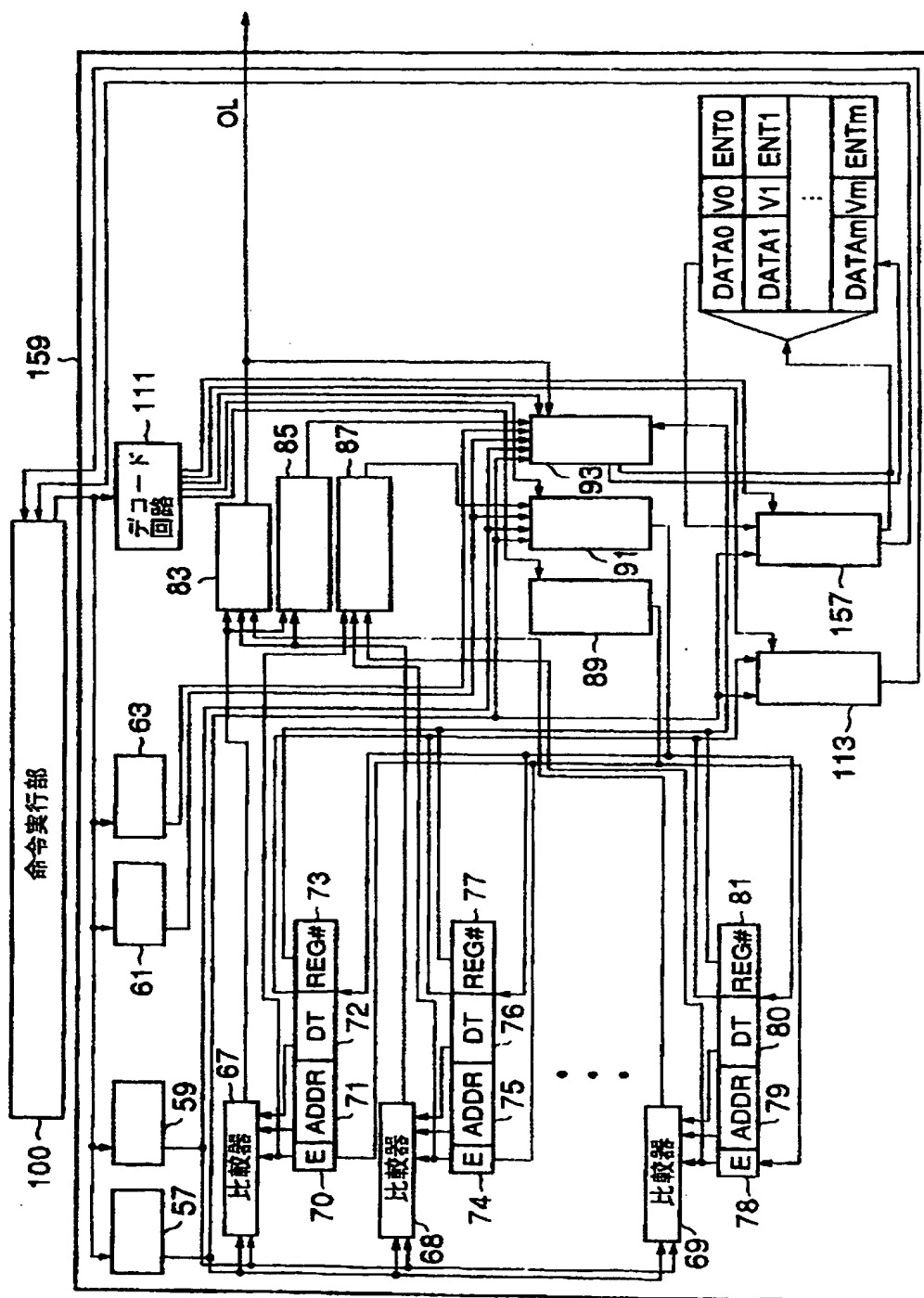
【図 2 2】

干渉回復例外の割り込み処理方法を示すフローチャート



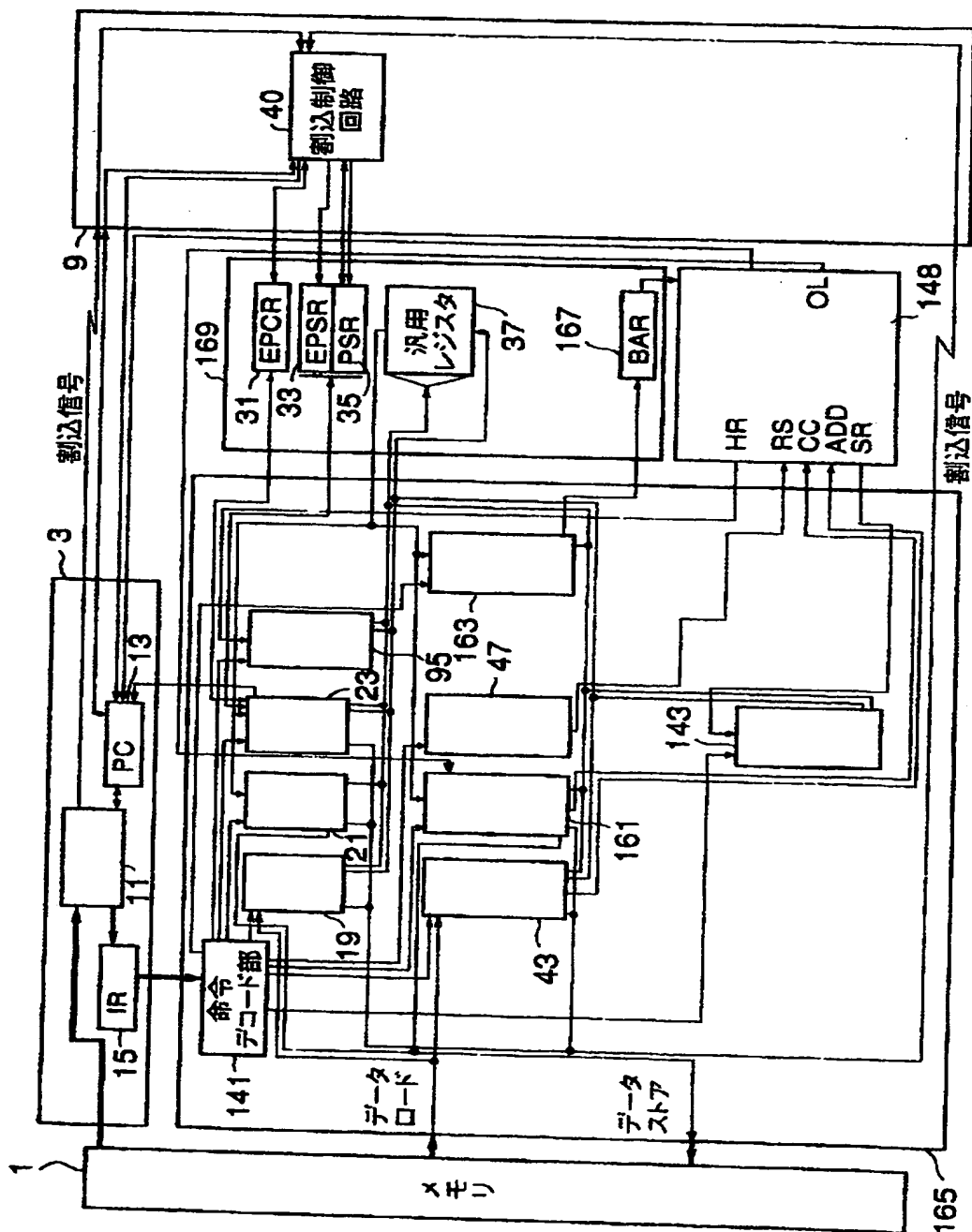
【図 2 3】

本発明の実施の形態5に係る計算機に含まれた履歴制御部の構成を示す図



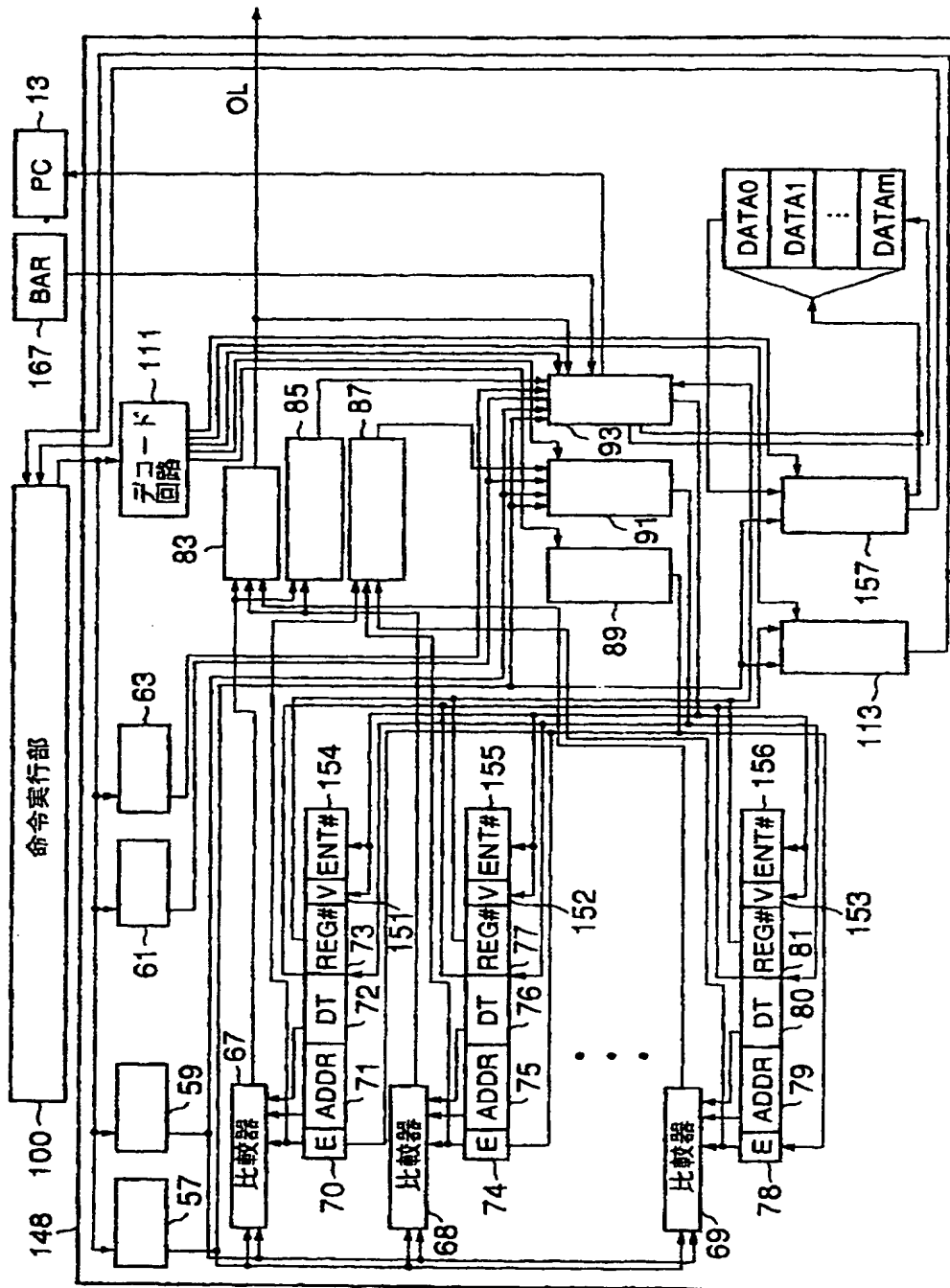
【図 2 4】

本発明の実施の形態6に係る計算機の構成を示す図



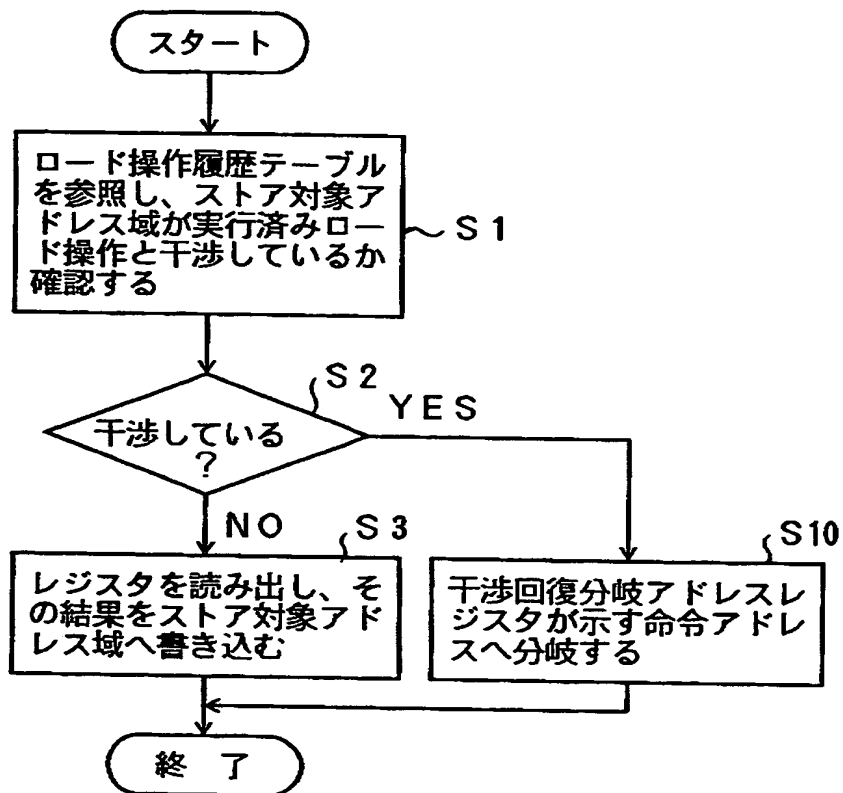
【図 2 5】

図24に示された履歴制御部の構成を示す図



【図 2 6】

干渉回復分岐付きストア命令による動作を示すフローチャート



【図 2 7】

干渉回復分岐付きストア命令の命令形式を示す図



【書類名】 要約書

【要約】

【課題】 曖昧なメモリ参照を回避しつつストア操作の前にロード操作を実行し動作の高速化が図られた計算機とその制御方法を提供する。

【解決手段】 第一の命令より後置された第二の命令を第一の命令より先に実行した場合に、第二の命令を実行することにより得られた結果の保存先を記憶し、第一の命令の実行対象とされる第一データのアドレスが、第二の命令において実行対象とされた第二データのアドレス領域に含まれると判定されたときには、第一の命令を実行することにより得られた結果を上記アドレスに対応する第二データに上書きする履歴制御部 5 1 を備えたことを特徴とする計算機。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社